

# メディアコンバーター用100 Gbit/s 長距離伝送カードの小型化

## Downsizing of 100 Gbit/s Long-Reach Transport Line Card for Media Converter

小林 憲文\*  
Noribumi Kobayashi

土田 統\*  
Osamu Tsuchida

早乙女 康之\*  
Yasuyuki Saotome

加藤 達也\*  
Tatsuya Kato

野村 卓也\*  
Takuya Nomura

佐々木 絢也\*  
Junya Sasaki

石松 洋輔\*  
Yosuke Ishimatsu

日立金属製集合型メディアコンバーター「XGMC<sup>®</sup>-2016」に搭載する100 Gbit/s長距離伝送カード「CGML<sup>®</sup>-2001VLT-P」を開発した。長距離および短距離光トランシーバーにCFP2-ACO, CFP4を採用して小型化し、高さ2UのXGMC-2016シャーシに最大4枚収容可能とした。開発品は、デジタルコヒーレント伝送方式により分散耐力2,000 ps/nm, 許容損失30 dBを実現し、高損失のダークファイバーにも適用することができる。CFP2-ACOの高速アナログ信号伝送のためにプリント基板ビア構造の最適化を行い、14 GHzにおいて伝送損失3 dB以下を実現した。

The authors listed above have developed the CGML-2001VLT-P, a 100 Gbit/s transport line card designed to be mounted on the XGMC<sup>®</sup>-2016, Hitachi Metals' media converter platform. Incorporating the CFP2-ACO (C form-factor pluggable 2; analog coherent optics) and CFP4 as long-haul and user-side transceivers, respectively, as a downsizing measure, the XGMC<sup>®</sup>-2016's 2U-high chassis holds a maximum of four cards. Chromatic dispersion tolerance rated at 2,000 ps/nm and a loss budget of 30 dB are achieved through digital coherent transmission technology, enabling the CGML-2001VLT-P to be used even with dark fibers that have high transmission loss. Optimizing vias on the printed circuit board for the CFP2-ACO's high-speed analog signal transmission limits loss to 3 dB or less at 14 GHz.

● Key Word : 100 Gbit/s, digital coherent, media converter  
● Production Code : CGML-2001VLT-P

● R&D Stage : Development

## 1. 緒言

スマートフォンやタブレットPCの普及と高画質動画などのリッチコンテンツの利用拡大によりインターネットトラフィックは増加の一途である。企業活動においてもクラウドサービスやデータセンターの活用が増加し、学術研究ではスーパーコンピュータの利用など、企業や大学においても通信の高速・大容量化が続いている。これらの通信には、経済性や保守性の利点から主にイーサネット<sup>®</sup>(イーサネットは、富士ゼロックス社の登録商標)が使われている。IEEE (Institute of Electrical and Electronics Engineers) では、100 Gbit/s までの規格化が完了している<sup>1)</sup>。

企業や大学で使われるイーサネット機器のインターフェースは、メタル対撚り線や短距離用光ファイバーに対応したインターフェースを備えているが、通信事業者ではより長い距離を伝送する必要があり、短距離インターフェースから長距離伝送可能なインターフェースに変換するメディアコンバーターが必要になる。

日立金属は、図1に示す通信事業者向け集合型メディア

コンバーター「XGMC<sup>®</sup>-2016」を製品化している<sup>2)</sup>。XGMC-2016は、EIA (Electronic Industries Alliance) 19インチラックサイズの高さ2U (Unit, 1U = 1.75インチ = 44.45 mm) サイズに収まる小型シャーシに、最大16枚のラインカードと、各カードを監視制御する管理カード、冗長化された電源ユニットを備えている。各種インターフェースに対応した長距離伝送カードには、ユーザー回線と長距離回線の障害切り分けを行う豊富な品質監視・モニター機能を備え、通信事業者のさまざまな要求に応じている。また高さ2Uの小型シャーシ構造は、メトロネットワークやアクセス回線の小規模局舎に適している。

一方、幹線ネットワークにおいては旺盛な通信需要に応えるべく1波長あたり100 Gbit/sのWDM (Wavelength Division Multiplex) 伝送システムがすでに導入されているが、まだ第1世代の大型装置が多く、アクセス回線などでは小型の100 Gbit/s伝送装置が望まれている。今回、既設の小型XGMC-2016シャーシに収容可能で、従来の伝送カードと同等の保守管理機能を備えた小型100 Gbit/s長距離伝送カード2機種「CGML<sup>®</sup>-2001VLT-P (光アンプ搭

\* 日立金属株式会社 電線材料カンパニー

\* Cable Material Company, Hitachi Metals, Ltd.

載)「CGML<sup>®</sup>-2001VLT (光アンプ非搭載)」を開発した。本報告では特に光アンプ搭載版 100 Gbit/s 長距離伝送カードの特長、および小型化のために採用、開発した技術について述べる。

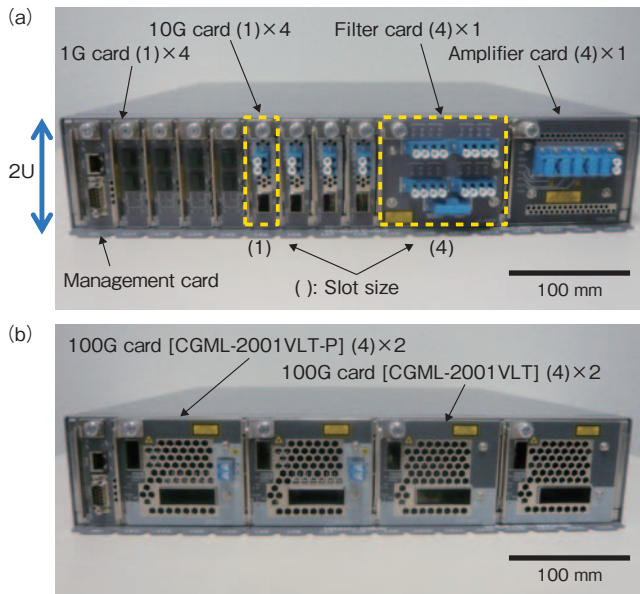


図1 XGMC<sup>®</sup>-2016の構成例 (a) 1G, 10G カードの WDM 組み合わせ (b) 100G カード 4 枚構成

Fig. 1 Configuration example of XGMC<sup>®</sup>-2016 (a) 1G, 10G and WDM (wavelength division multiplex) combination (b) 100G card x 4

## 2. 100 Gbit/s 長距離伝送カード開発上の課題

### 2.1 従来カードとの仕様比較

表 1 に開発した 100 Gbit/s イーサネット長距離伝送カード(以下 100G カード)と、従来の 10 Gbit/s イーサネット長距離伝送カード(以下 10G カード)、1 Gbit/s イーサネット長距離伝送カード(以下 1G カード)の仕様を示す。

100 Gbit/s の高速信号を光ファイバー長距離伝送するときの課題は、1 Gbit/s や 10 Gbit/s と同じ伝送技術では光ファイバーの波長分散の影響により数 km しか伝送できな

いことである。10 Gbit/s × 10 波長で伝送する方式もあるが、サイズ、コストのメリットがないため、デジタルコヒーレント DP-QPSK (Dual-Polarization Quadrature Phase Shift Keying, 偏波多重 4 値位相変調) 伝送方式を採用した<sup>3)</sup>。この方式は、信号波長は従来と同じひとつで、送信は DP-QPSK で多値変調し、受信はコヒーレントレシーバーとデジタル信号処理回路(DSP: Digital Signal Processor)で復調を行う。コヒーレント検波におけるローカル光と信号光の光位同期や偏波整合などの高精度な光学処理をデジタル信号処理で補うことで簡略化し、DP-QPSK 復調を実現している。さらにデジタル処理は、光ファイバー伝送時の波長分散や偏波モード分散を復調と一緒に補償できるメリットもある。

またアクセス回線に用いられるメディアコンバーターでは、大きな許容損失に対応することも課題である。アクセス回線に用いられるダークファイバーは伝送損失が大きくなる場合があり、従来の 1G カードや 10G カードは 30 dB 以上の最大許容損失を確保していた。100G カードでは、10G カードと同様の FEC (Forward Error Correction, 前方誤り訂正) を搭載するとともに、光プリアンプを内蔵する構成とした。これにより、現用の 1G および 10G カードの伝送路をそのまま活かして 100G へのアップグレードが可能になる。分散耐力も 1G, 10G カードと同じく、100 km の SMF (Single Mode Fiber) に対応できる 2,000 ps/nm とした。分散耐力については、DSP の設定を変えることで 20,000 ps/nm 以上の分散耐力にも対応可能であるが、1G, 10G カード混在伝送時の整合性を考え 2,000 ps/nm に抑えている。

小型化に対しては、最新規格の小型光トランシーバーを採用し、内部レイアウトの最適化を行った。特に長距離ポートは、光変復調部分のみをモジュール化した CFP2-ACO (C Form-factor Pluggable - Analog Coherent Optics) とコヒーレント DSP を分離した構成を採用することで、大幅な小型化を実現した。

これらの技術を採用して開発した 100G カードは、10G, 1G カードの必要スロット 1 slot に対して、伝送速度が 10

表 1 XGMC<sup>®</sup>-2016 用長距離ラインカード仕様

Table 1 Specification comparison of transport line cards for XGMC<sup>®</sup>-2016

Category (Part number)	100 Gbit/s transport line card (CGML-2001VLT-P)	10 Gbit/s transport line card (XGML-2001VLT)	1 Gbit/s transport line card (X2L-2001)
XGMC <sup>®</sup> -2016 number of slots	4	1	1
Size: W×H	96.2×82.4 mm	23.3×82.4 mm	23.3×82.4 mm
Long-haul port transceiver	CFP2-ACO	Original	SFP (small form-factor pluggable)
Wavelength	Tunable	Tunable	Fixed
Bit rate	111.8 Gbit/s	11.1 Gbit/s	1.25 Gbit/s
Modulation format	Digital coherent DP-QPSK	ODB (optical duo binary)	IM (intensity modulation)
Forward error correction	Supported	Supported	Not supported
Optical amplifier	Included	Not included	Not included
Maximum optical loss budget	30 dB	31 dB	30 dB
Dispersion tolerance	2,000 ps/nm	2,400 ps/nm	2,400 ps/nm
User-side port transceiver	CFP4	SFP+	SFP

倍、100倍にもかわらず4 slot幅のサイズに抑えた。これにより、XGMC-2016 シャーシに100Gカードは、最大4枚実装でき、高さ2Uの筐体で最大400 Gbit/sの伝送が可能になる。従来の10Gカード×16で構成した場合に比べて伝送容量を2.5倍に増やすことができる。

## 2.2 長距離光トランシーバー

表2にOIF (Optical Networking Forum)で標準化が進められている100 Gbit/s長距離伝送用光トランシーバーの仕様一覧を示す<sup>4)~6)</sup>。現在では第3世代のCFP2-ACO (2015年9月現在、標準化作業中)まで小型化が進み、CFP2-ACOはDSPをトランシーバーの外に出すことで、サイズ、消費電力ともに第1世代のMSA (Multi Source Agreement)仕様に比べて、約1/7の大幅な小型化、低消費電力化を達成している。このCFP2-ACOを採用することにより4 slot幅のラインカードの小型化が可能となった。CFP2-ACOはフロントパネルから容易に挿抜可能なプラグブル構造のため、万が一の故障時も容易に交換できるメリットもある。ただし、DSPをホストボード側に切り離したことにより、電気インターフェースは28 Gbit/sの高速アナログ信号を扱う必要があり、プリント基板や電気コネクタなど、伝送線路の設計が課題である。この高速基板設計については4章で詳しく述べる。

CFP2-ACOと組み合わせるDSPは、現行の第1世代では消費電力が大きく4 slotカードの供給電力に収まらないため、最新の微細プロセスで製作した第2世代DSPを採用することで消費電力を低減した。

表2 長距離用100 Gbit/s光トランシーバー一覧

Table 2 Specification comparison of 100 Gbit/s long-haul optical transceivers

Form factor	MSA-100GLH (Gen. 1)	MSA-100GLH (Gen. 2)	CFP2-ACO (Gen. 3)
Size: L×W×H (*1) (volume ratio)	177.8×127×17 mm (1)	127×101.6×15 mm (1/2)	107.5×41.5×12.4 mm (1/7)
Maximum power dissipation	80 W	45 W	12 W (*2)
Coherent DSP	Included	Included	External unit needed
High-speed electrical interface	Digital 10×10G	Digital 10×10G	Analog 4×28G
Power supply	12 V	12 V	3.3 V
Electrical connector	168 pin	168 pin	104 pin
Pluggable	Not supported	Not supported	Supported

\*1 Without heat sink

\*2 CFP2 power class 4

表3 短中距離用100 Gbit/s光トランシーバー一覧

Table 3 Specification comparison of 100 Gbit/s optical transceivers for short and medium reach

Form factor	CFP (Gen. 1)	CFP2 (Gen. 2)	CFP4 (Gen. 3)
Size: L×W×H (volume ratio)	145×82×13.6 mm (1)	107.5×41.5×12.4 mm (1/3)	92×21.5×9.5 mm (1/9)
Maximum power dissipation (*3)	32 W	12 W	6 W
Supported optical interface	100GBASE- SR10 / LR4 / ER4	100GBASE- SR4 / SR10 / LR4 / ER4	100GBASE- SR4 / LR4 / ER4
High-speed electrical interface	10×10G	4×25G or 10×10G	4×25G
Electrical connector	148 pin	104 pin	56 pin

\*3 Power class 4

## 2.3 短距離トランシーバー

表3にCFP-MSAで標準化されている短中距離向け100 Gbit/s光トランシーバーの仕様一覧を示す<sup>7)~9)</sup>。長距離ポートに採用したCFP2-ACOは、この第2世代CFP2の外形仕様を流用しているが、電気インターフェースはアナログ信号を扱うため専用仕様となっている。

短距離向けトランシーバーも第3世代のCFP4まで標準化が完了し、CFP4はCFPと比較すると、サイズが約1/9、消費電力が約1/5に小型・低消費電力化されている。電気インターフェースも10 Gbit/s×10レーンから25 Gbit/s×4レーンに配線数を減らすことでコネクタピン数を削減し小型化を実現している。しかし、電気インターフェースが25 Gbit/sに高速化したことで長距離光トランシーバーと同様の高速伝送線路が必要である。

CFP4は、CFP2-ACO同様プラグブル構造のため、トランシーバーを変更するだけで簡単に各種インターフェースに対応できる。CFP4は100GイーサネットのSR4, LR4, ER4の各規格をサポートでき、ユーザー機器が従来のCFPやCFP2光トランシーバーを使用している場合でも、同じ規格であれば相互接続可能である。

## 3. CGML-2001VLT-Pの内部構成

図2に開発した100Gカード「CGML-2001VLT-P」のブロック構成を示す。図3に内部構造写真を示す。

開発した100Gカードは、4 slot幅の小型筐体を有効に活用するため、ユーザー基板と長距離基板、光アンプ基板の3枚基板で構成した。全体構造は、フロントパネルに配

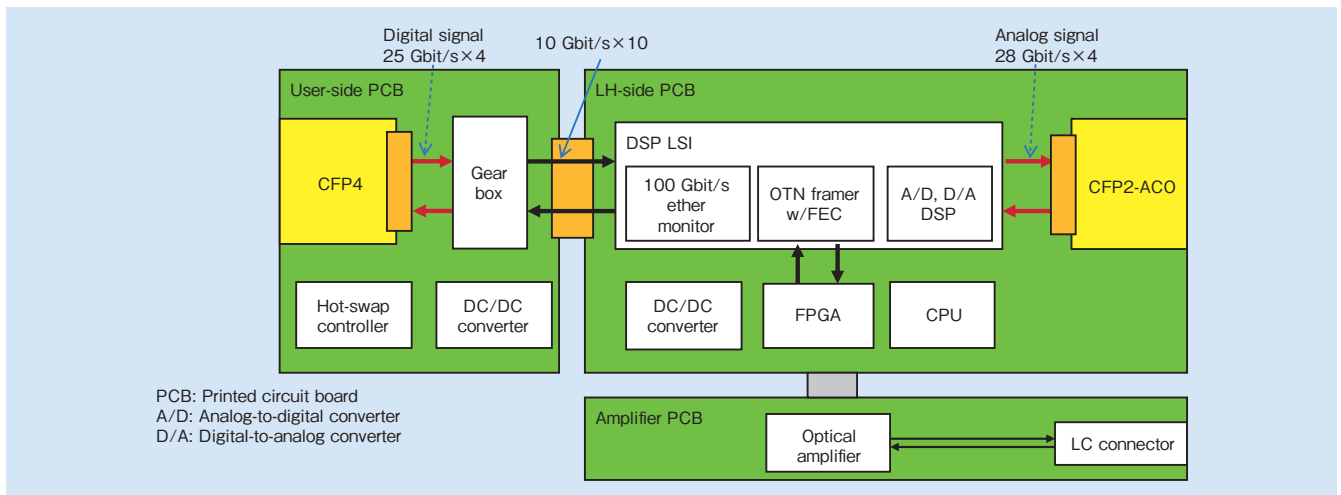


図2 100G カードのブロック構成  
Fig.2 Block diagram of 100G transport line card



図3 100G カードの内部構造 (上部カバー取り外し)  
Fig.3 Interior structure of 100G transport line card without top cover

置する光トランシーバーと、その後段に配置される各 LSI の放熱性や、ユーザー基板と長距離基板間を接続する高速電気配線、および組立性を考慮して最適化した。次に各ブロックの機能について述べる。

ユーザーポート CFP4 の後段には、25 Gbit/s × 4 レーンの電気信号を 10 Gbit/s × 10 レーンに変換するギアボックス LSI を設けている。DSP の入力インターフェースに合わせるとともに、ラインレートを 25 Gbit/s から 10 Gbit/s に低くすることで、配線長が長くなるユーザー基板と長距離基板間の信号ライン、接続電気コネクタでの信号劣化を緩和している。

DSP は、DP-QPSK 変復調を行うデジタルコヒーレント処理に加えて、100G イーサネット MAC (Media Access Control) カウンタと、OTN (Optical Transport Network) フレーマー機能が内蔵されている。

MAC カウンタは、ユーザーフレームの通信エラー発生状況など、ユーザー回線の信号品質を監視している。

OTN フレーマーは、100G イーサネット信号 (103.125 Gbit/s) を OTN フレームにマッピングし、FEC を付加してビットレートを 111.81 Gbit/s に変換する。FEC は、長

距離伝送や高損失ファイバーの伝送で小さくなった受信光パワーを光アンプで増幅した時の低い OSNR (Optical Signal to Noise Ratio) でも、そのエラー訂正機能により良好なビットエラーレートを確保できる。

DSP の隣に配置した FPGA (Field Programmable Gate Array) は、OTN オーバーヘッドの Add/Drop を行い、長距離回線の伝送品質の監視、対向ラインカードとのインバンド通信を行っている。

CPU (Central Processing Unit) は、各光トランシーバーや各 LSI の制御を行うとともに、ユーザー信号品質、長距離信号品質などを総合的に監視している。各デバイス状態から装置故障を監視し、各回線状態から回線障害を監視し、イベントが発生した場合はその記録、通知を行うログ・トラップ機能を備えている。

#### 4. 高速基板設計

CFP2-ACO と CFP4 の採用で課題となった 25 G ~ 28 Gbit/s 高速伝送基板の設計について説明する。図 4 にプリント基板断面図による高速信号ラインの配線構造を示す。

CFP2, CFP4 光トランシーバーは、電気コネクタ周囲に EMI (Electromagnetic interference) 対策のコネクタカバーが取り付けられているため、コネクタから引き出した信号は、ビア (Via) と呼ぶ微小貫通穴の配線により表層から内層へ引き出し、内層をストリップラインで配線した後、DSP 近傍で再びビアを使って表層の DSP-BGA (Ball Grid Array) パッケージ端子に接続する必要がある。

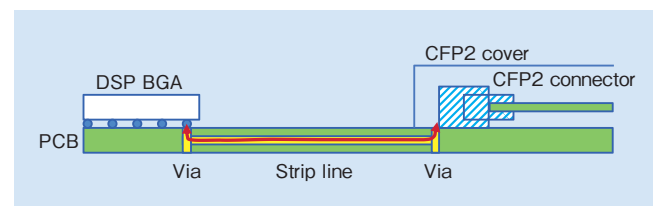


図4 28 Gbit/s 高速ラインの構造  
Fig.4 Structure of 28 Gbit/s high-speed transmission line

ストリップラインは、信号層の上下をグランド層で挟み、層間の誘電体厚や信号線幅などを適切に設計することで安定した特性インピーダンスが得られ、比較的理想的な伝送路を構築できる。ただし 25 Gbit/s 超の高速配線では、基板材料の誘電損による高周波損失が問題となる。今回は、配線長が最短になるようにレイアウトしたが、最長部分で 60 mm あるため、誘電率や誘電正接の小さな高周波対応の基板材料を使用することで配線損失の軽減を図った。

一方ビア部分は、ストリップラインのような理想的な伝送線路構造にならないためインピーダンス不整合による反射などの問題が起こりやすい。図 4 の構造では、2 つのビア間で多重反射が起こることが容易に想像できる。今回採用した CFP2-ACO は 28 Gbit/s アナログ信号を扱うため、基板伝送で信号歪を付加すると、DSP による光伝送特性の補償の低下を引き起こしてしまう。そこで、今回 3 次元電磁界シミュレーションを用いてビア構造の最適化を行い、CFP2-ACO と組み合わせても良好な性能が得られる基板設計を行った。図 5 にシミュレーションに用いたビアのモデル構造を示す。差動伝送に整合する信号ビアの両側にグランドビアを設けた GSSG 配置の差動ビアである。

シミュレーションでは、BGA ボールピッチ、コネクタのピンピッチとの整合を図り、特殊構造を使わない一般的な製造条件の範囲で下記パラメータを最適化した。

- ・信号、グランドのビアピッチ
- ・ビアランド形状
- ・内層グランドのアンチパッド
- ・信号引出し形状
- ・バックドリル

図 6 は、従来構造と最適化したビアに 28 Gbit/s 信号を送った時の特性インピーダンスのシミュレーション結果を示す。高多層プリント基板のビア長さは、28 Gbit/s の信号波長と比べて無視できない長さになるため、何も対策していない従来のビア構造では、インピーダンスが 60 Ω 近くまで低下していた。インピーダンスが最適になるように各パラメータ調整したビアは、 $100 \pm 3 \Omega$  の良好な値が得られた。

図 7 は実際に製作したプリント基板のテストクーポンを用いて測定した周波数特性である。送信側 50 mm と受信側 32 mm の 2 種類のアナログ 28 Gbit/s ラインを模擬している。両ラインとも約 30 GHz までほぼ直線的な特性で、不要なディップは観測されず、28 Gbit/s の基準とな

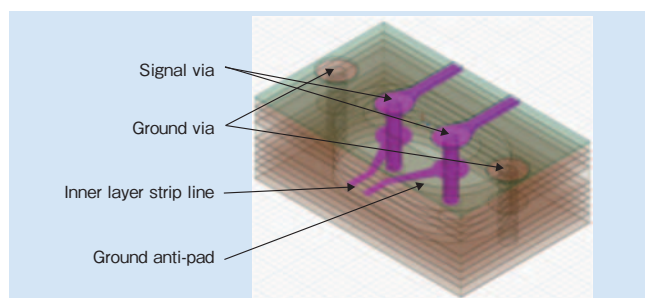


図 5 Via のシミュレーションモデル  
Fig.5 Via simulation model

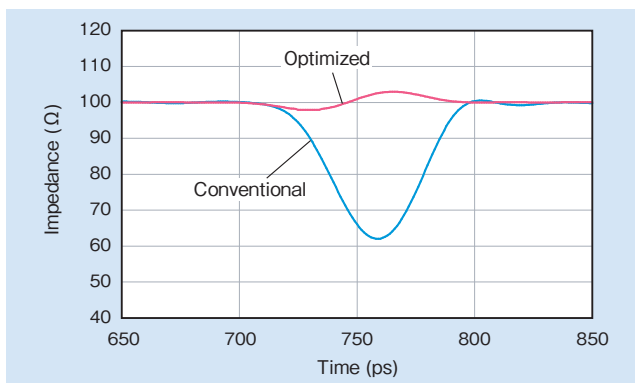


図 6 Via 部分の電気特性のシミュレーション結果  
Fig.6 Simulation results of via electrical characteristics

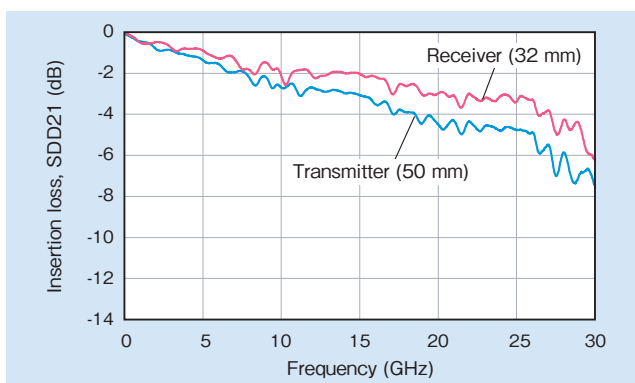


図 7 試作 28 Gbit/s 伝送ラインの挿入損失  
Fig.7 Insertion loss of 28 Gbit/s transmission line

る 14 GHz では、送信側は約 3 dB、受信側は約 2 dB の小さい伝送損失に抑えられていて、良好な高速伝送基板を実現できた。

## 5. 光伝送特性

図 8 に開発した高速伝送基板と CFP2-ACO を組み合わせた時の 111.81 Gbit/s DP-QPSK コンスタレーションを示す。X 偏波 Y 偏波とも各位相が明瞭に分かれた良好な QPSK 信号が確認できる。

図 9 は、SMF 0 km と 100 km 伝送後の FEC 訂正前の BER (Bit Error Rate) を示す。採用した FEC は、約  $3E-3$  の BER を  $1E-12$  以下に訂正できることを確認しており、光プリアンプを内蔵したことで -32 dBm の低い受信パ

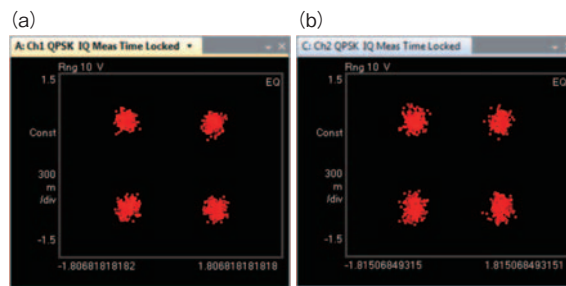


図 8 111.81 Gbit/s DP-QPSK コンスタレーション  
(a) X 偏波 (b) Y 偏波  
Fig.8 111.81 Gbit/s DP-QPSK constellation  
(a) X polarization (b) Y polarization

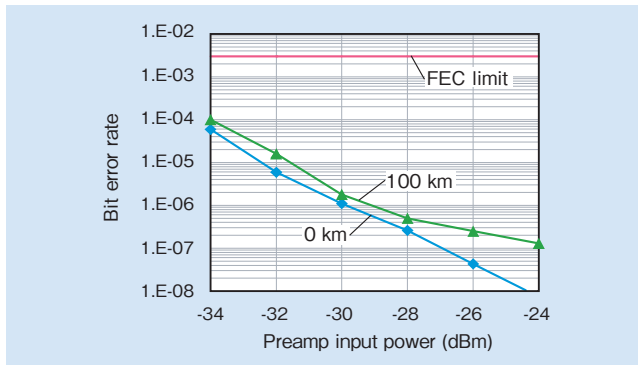


図9 ビットエラーレート特性

Fig.9 Measurement results of bit error rate

ワでも FEC 訂正後  $1E-15$  以下の良好な BER 特性が得られた。100 km 伝送における伝送ペナルティも 1 dB 未満であり、DSP によって適切に分散補償できていることが確認できる。100G イーサネットフレーム伝送においてもエラーフリーを確認していて、開発した 100G 小型長距離伝送カードは高損失のダークファイバーを用いたアクセス回線へ十分適用できる。

## 6. 結 言

日立金属製集合型メディアコンバーター XGMC-2016 に搭載する 100G 長距離伝送カード「CGML-2001VLT-P」を開発した。開発品の特長は以下のとおりである。

- (1) 長距離ポートに小型 CFP2-ACO と低電力 DSP を組み合わせたデジタルコヒーレント DP-QPSK 方式を採用した。アクセス回線に必要な分散耐力 2,000 ps/nm を確保するとともに光プリアンプを内蔵して許容損失 30 dB を確保した。
- (2) ユーザーポートも小型 CFP4 光トランシーバーを採用してカードの小型化を図り、2 U サイズの XGMC-2016 に最大 4 枚収容でき、最大 400 Gbit/s の大容量伝送が可能である。
- (3) CFP2-ACO 採用で課題となった 28 Gbit/s × 4 アナログ信号伝送は、プリント基板のビア構造の最適化を行い、14 GHz における伝送損失 3 dB 未満の高速伝送基板を開発した。
- (4) 開発した高速伝送基板と CFP2-ACO を組み合わせた結果、良好な DP-QPSK コンスタレーションが得られ、SMF 100 km 伝送において 100 Gbit/s イーサネットのエラーフリー伝送を確認した。

開発した 100 Gbit/s 長距離カードは、今後アクセス回線の高速化に寄与することが期待できる。

## 引用文献

- 1) IEEE Std 802.3ba Media Access Control Parameters, Physical Layers, and Management Parameters for 40 Gb/s and 100 Gb/s Operation, (2010).
- 2) 船戸啓一, 他: 工学技術研究誌日立電線, No.32 (2013), p.57.
- 3) 鈴木扇太, 他: 電子情報通信学会誌 Vol.95, No.12 (2012),

p.1100.

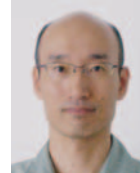
- 4) OIF-MSA-100GLH-EM-01.1 Implementation Agreement For 100G Long-Haul DWDM Transmission Module-Electromechanical (MSA-100GLH) (2011).
- 5) OIF-MSA-100GLH-EM-02.1 Implementation Agreement For Generation 2.1 100G Long-Haul DWDM Transmission Module-Electromechanical (Gen2.MSA-100GLH) (2015).
- 6) OIF-CFP2-ACO-01.0 Implementation Agreement for CFP2-Analogue Coherent Optics Module (2015).
- 7) CFP MSA Hardware Specification Revision 1.4 (2010).
- 8) CFP MSA CFP2 Hardware Specification Revision 1.0 (2013).
- 9) CFP MSA CFP4 Hardware Specification Revision 1.0 (2014).



小林 憲文  
Noribumi Kobayashi  
日立金属株式会社  
電線材料カンパニー  
情報システム統括部



土田 統  
Osamu Tsuchida  
日立金属株式会社  
電線材料カンパニー  
情報システム統括部



早乙女 康之  
Yasuyuki Saotome  
日立金属株式会社  
電線材料カンパニー  
情報システム統括部



加藤 達也  
Tatsuya Kato  
日立金属株式会社  
電線材料カンパニー  
情報システム統括部



野村 卓也  
Takuya Nomura  
日立金属株式会社  
電線材料カンパニー  
情報システム統括部



佐々木 絢也  
Junya Sasaki  
日立金属株式会社  
電線材料カンパニー  
情報システム統括部



石松 洋輔  
Yosuke Ishimatsu  
日立金属株式会社  
電線材料カンパニー  
電線材料研究所