

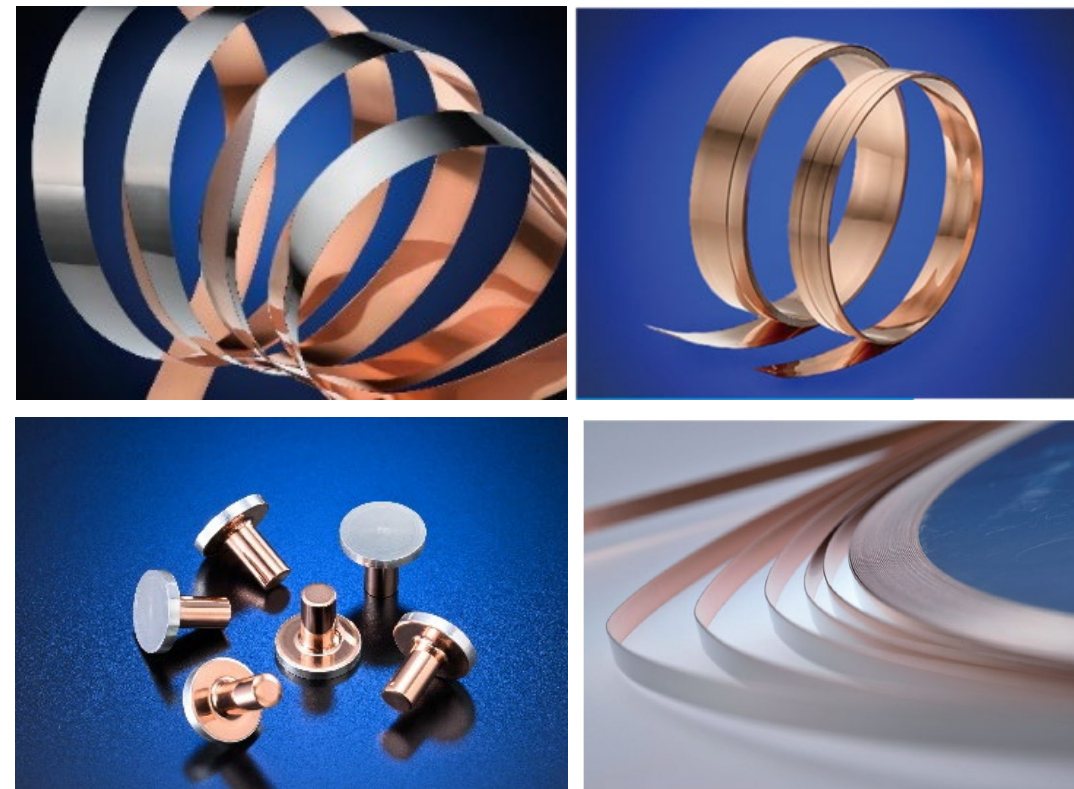
新光電気工業殿向けプロテリアル展示会

SiCパワー半導体に向けた 新しい実装用材料

2025年3月6日

株式会社プロテリアル金属

技術開発部 外木 達也



本資料には株式会社プロテリアル機密情報が含まれています。
事前の許諾無く第三者への開示及び目的外での使用(特許出願を含む)
並びに複製・複写・転載・転用・編集・改変などの二次利用を禁じます。

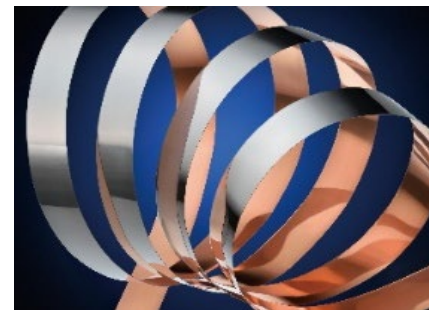
1. (株)プロテリアル金属製品概要

1-1. プロテリアル金属の製品概要

PROTERIAL

材料技術

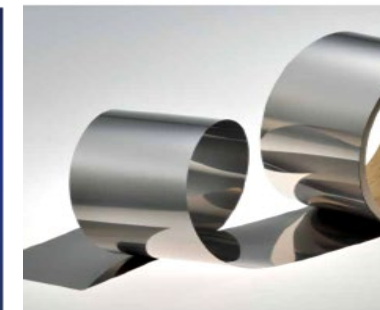
- ・合金設計
- ・圧延技術
- ・クラッド技術



クラッド材



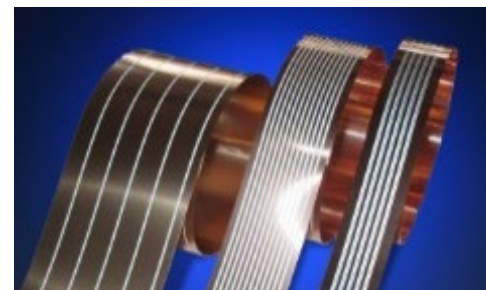
半導体用銅条



ステンレス箔

表面処理技術

- ・めっき
- ・酸化被膜処理



ストライプめっき

二次加工技術

- ・切削
- ・曲げ
- ・溶接
- ・打ち抜き
- ・絞り
- ・ヘッディング
- ・造粒
- ・ろう付け
- ・磁性焼鈍
- ・鍛造



NiP粒子

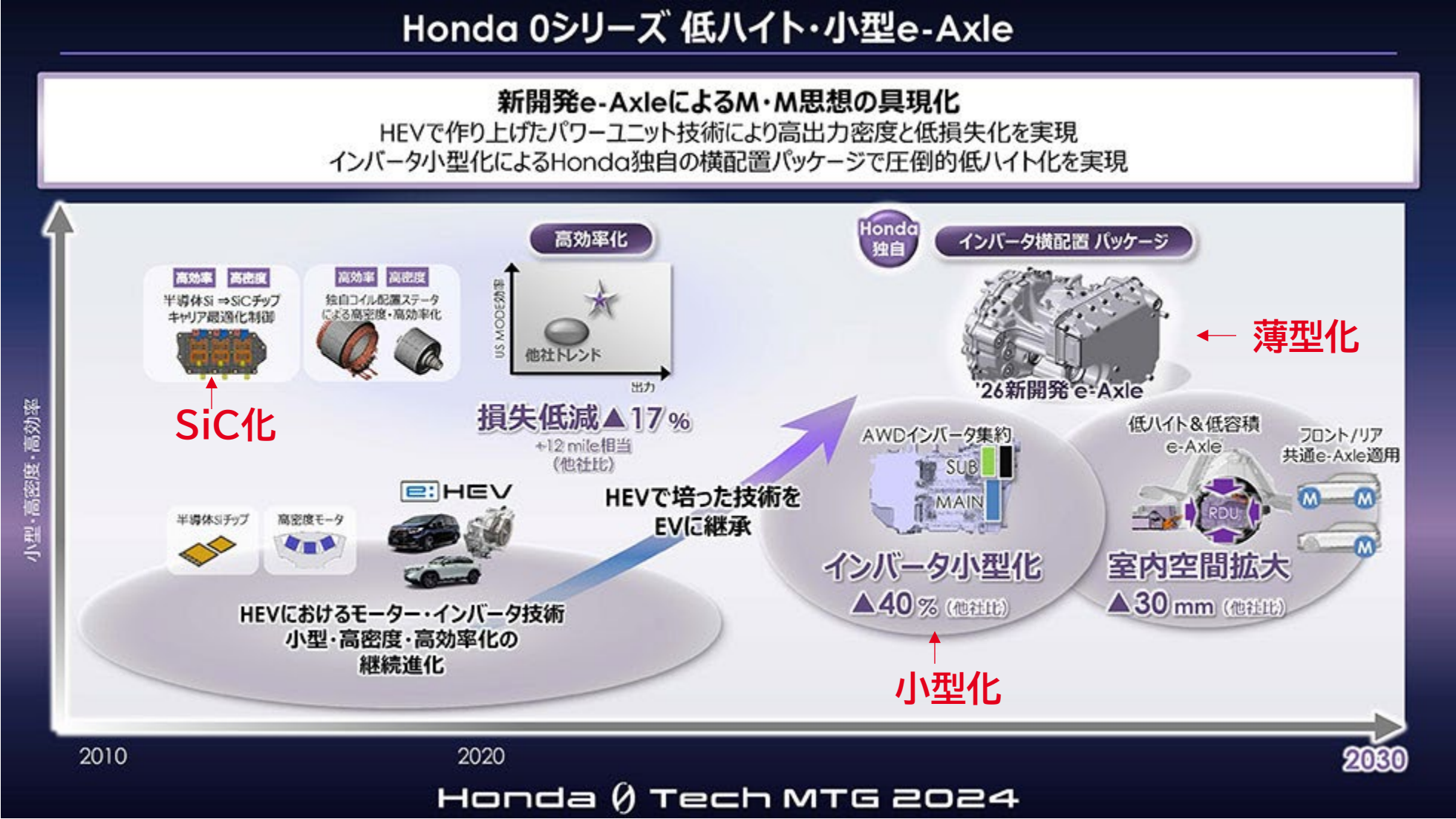


クラッド端子 CLAMET®

2. 車載パワー半導体モジュールのトレンドについて

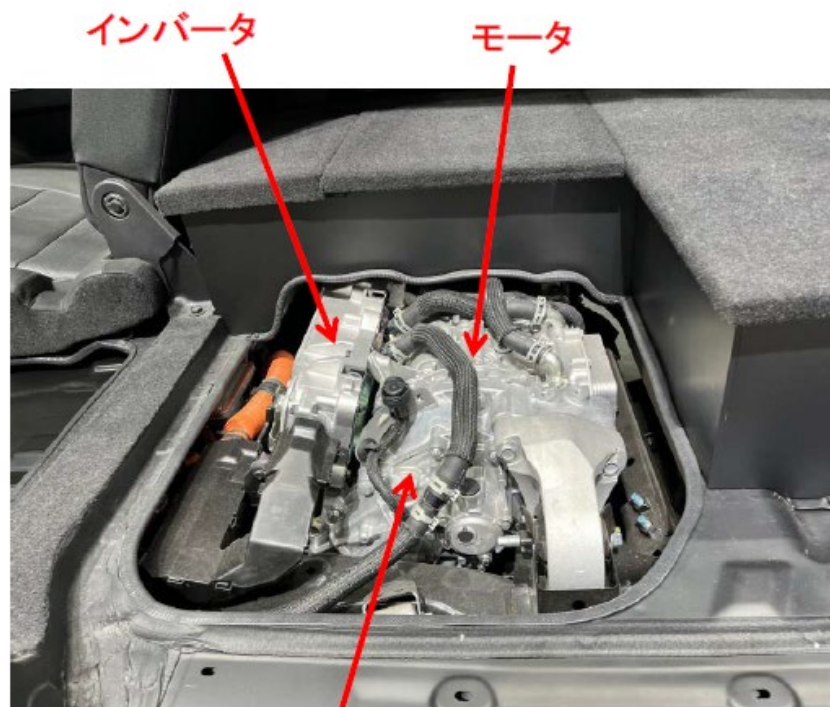
2-1.カーメーカーの動向①

・HondaのEV「0シリーズ」に関するニュースリリース



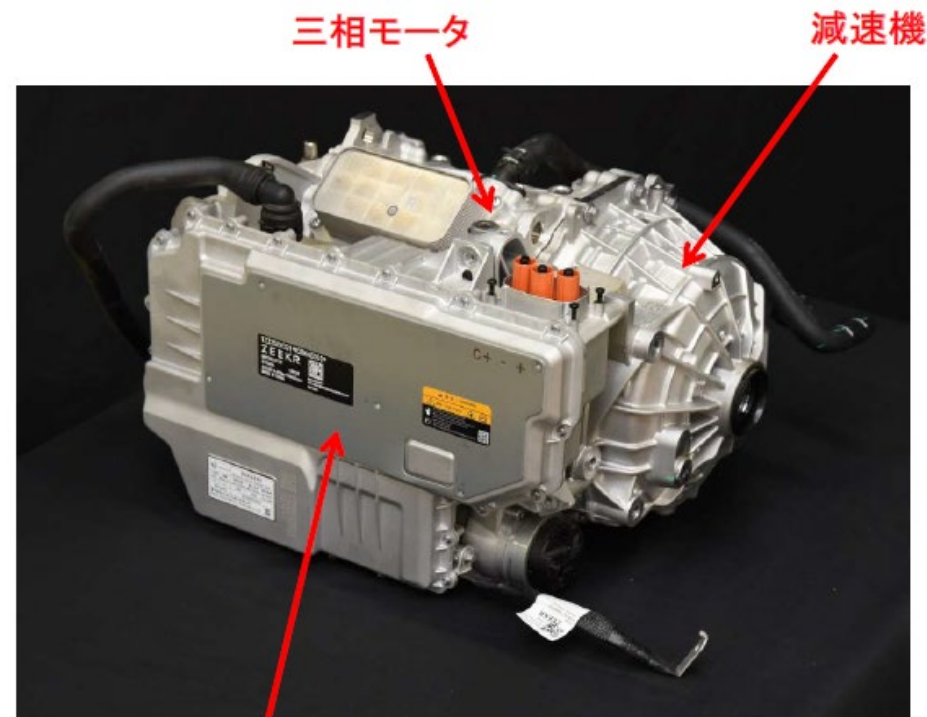
2-2.カーメーカーの動向②

- ・各社とも室内空間確保のためインバータの小型・薄型化し電動アクスルの横に配置化
➡パワー半導体モジュールの小型・薄型化が重要



減速機

日産アリアの電動アクスル



インバータ(310kW)

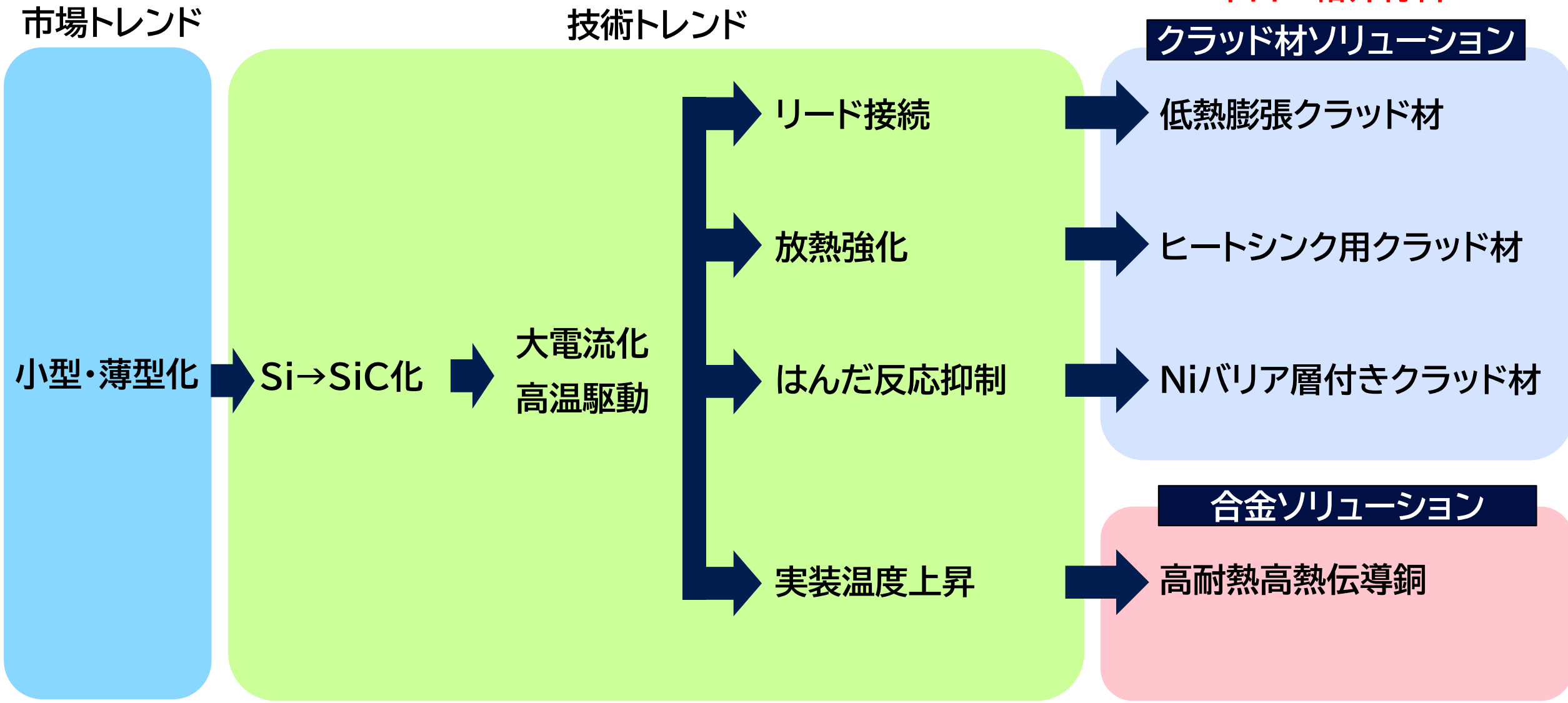
吉利ZEEKRの電動アクスル

引用:マークライnzWebiner
名古屋大学 山本教授資料

2-3. パワーモジュールのトレンドと提案材料

PROTERIAL

本ご紹介材料



3. クラッド材によるソリューション

3-1.クラッド材とは

技術概要

- 冷間圧接と熱処理の組み合わせによる強固な金属接合

冷間圧接

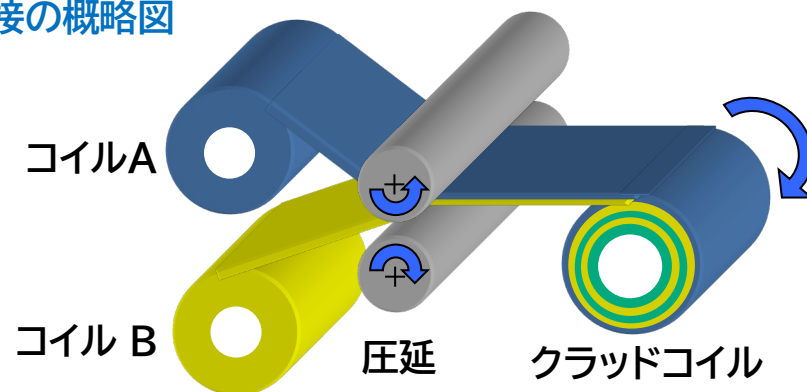
異種材料を重ね合わせ、
圧延、接合



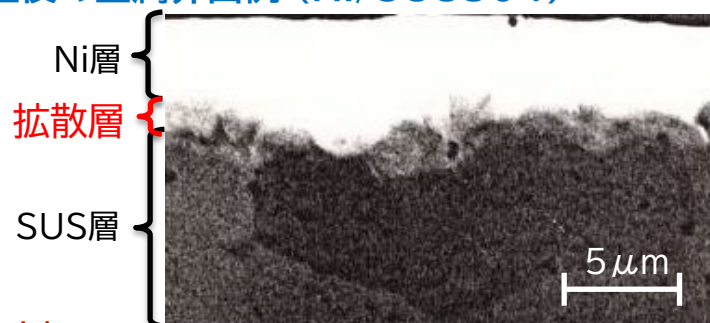
拡散熱処理

熱処理により原子を拡散させ、
金属的に接合

冷間圧接の概略図



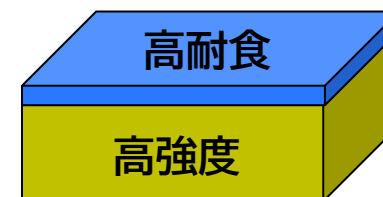
拡散熱処理後の金属界面例 (Ni/SUS304)



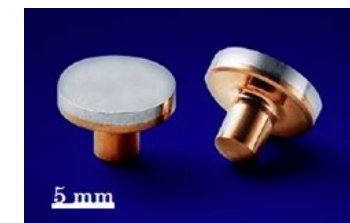
Confidential

特徴

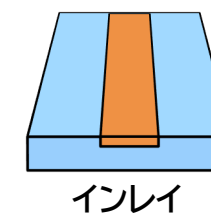
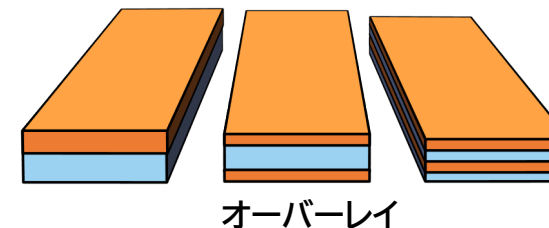
- 異種金属の組み合わせによる、単独の合金では得られない優れた特性を両立



- 強固な金属接合により打ち抜き、曲げ、深絞り等の加工も可能



- 用途によりオーバーレイとインレイの2種類のクラッドが選択可能



3-2.クラッド素材の組み合わせ例

● 生産可能な組み合わせ

● 量産実績ある組み合わせ

		① Fe及びFe合金					② Ni及びNi合金				③ Cu	④ Al	⑤ その他	
		オーステナイト系ステンレス	フェライト系ステンレス	Fe-36Ni合金	Fe-42Ni合金	Fe-Ni-Co合金	純ニッケル	Ni-Cr合金	Ni-Cu合金	パーマロイ	無酸素銅	アルミニウム	銀ろう	チタン
①	オーステナイト系ステンレス		●	●	●	●	●	●	●	●	●	●	●	●
	フェライト系ステンレス			●	●	●	●	●	●	●	●	●	●	●
	Fe-36Ni合金				●	●	●	●	●	●	●	●	●	●
	Fe-42Ni合金					●	●	●	●	●	●	●	●	●
	Fe-Ni-Co合金						●	●	●	●	●	●	●	●
②	純ニッケル							●	●	●	●	●	●	●
	Ni-Cr合金								●	●	●	●	●	●
	Ni-Cu合金									●	●	●	●	●
	パーマロイ									●	●	●	●	●
③	無酸素銅											●	●	●
④	アルミニウム												●	●
⑤	銀ろう													●
	チタン													

[製造可能範囲]

材質や構成の制約あり

製造可能

要相談

厚さ(mm)

幅(mm)

1.対象箇所

- ・半導体チップへの給電リード

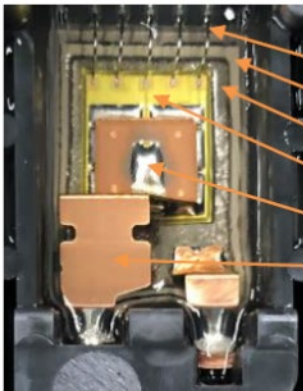
2.トレンド

- ・Alワイヤーボンディング⇒Cuリードはんだ付け



BYD OTTO3

引用：マークライنزWebiner
名古屋大学 山本教授資料



HONDAフィット

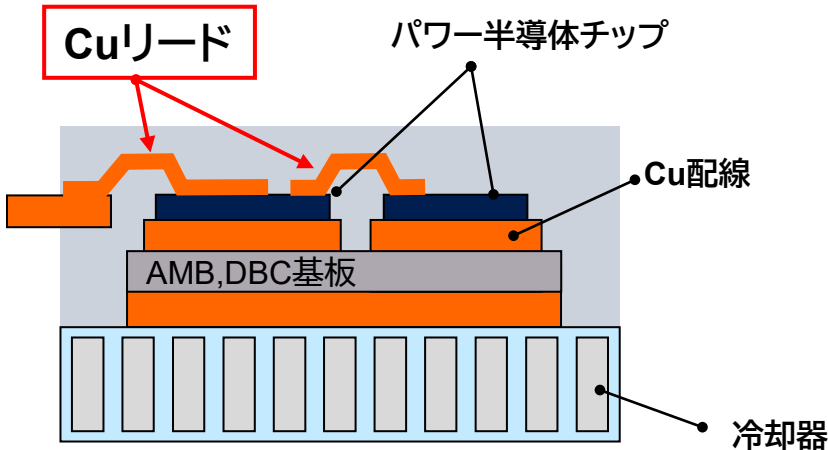
引用：モータ・パワエレ・水素エネルギー研究会
樫村様講演資料

- ゲートワイボンその他
- SiN基板
- 銅条
- RCIGBT
- はんだ
- Cuリード

3.課題

- ・半導体チップとCuリードの剥離

➡大きな熱膨張差により剥離が発生



	線膨張係数 ×10 ⁻⁶ /K	動作温度
Si	4	Max150℃
SiC	4	200℃以上可能
Cu	16	-

Cuリードの優位性

- ・電気抵抗が低いので大電流を流すことができる

*)本資料に記載の数値は参考値であり、保証値ではございません。

3-3.(1)低熱膨張高熱伝導クラッド材:Cu/36Ni-Fe/Cu (CIC®)PROTERIAL

4.課題解決

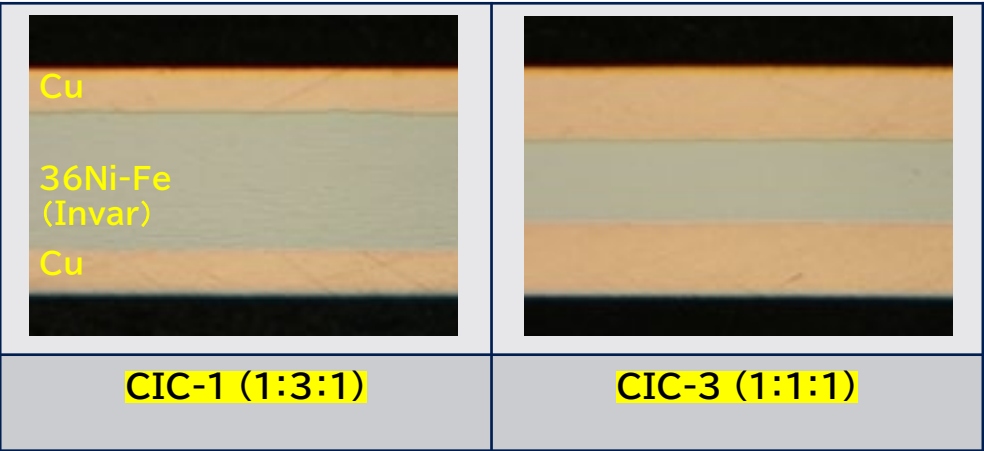
・CuやCu合金の代わりにCu/36Ni-Fe (Invar®) /Cuクラッド材(CIC)をリードに使用

コンセプト

熱伝導に優れたCuと低い熱膨張率のInvar合金をクラッド

表 .CICの諸特性

品名	厚さ比率			熱伝導率(計算値) (W/m・K)		熱膨張係数 :30-200℃ (×10 ⁻⁶ /K)	体積抵抗率 (×10 ⁻⁸ Ω・m)
	Cu	36Ni-Fe	Cu	板面平行 方向	板面直角 方向		
36Ni-Fe	0	1	0	13		2.5	79.8
CIC-1	1	3	1	164	21	3.6	4.1
CIC-3	1	1	1	262	36	7.6	2.5
Cu	1	0	0	391		17	1.7

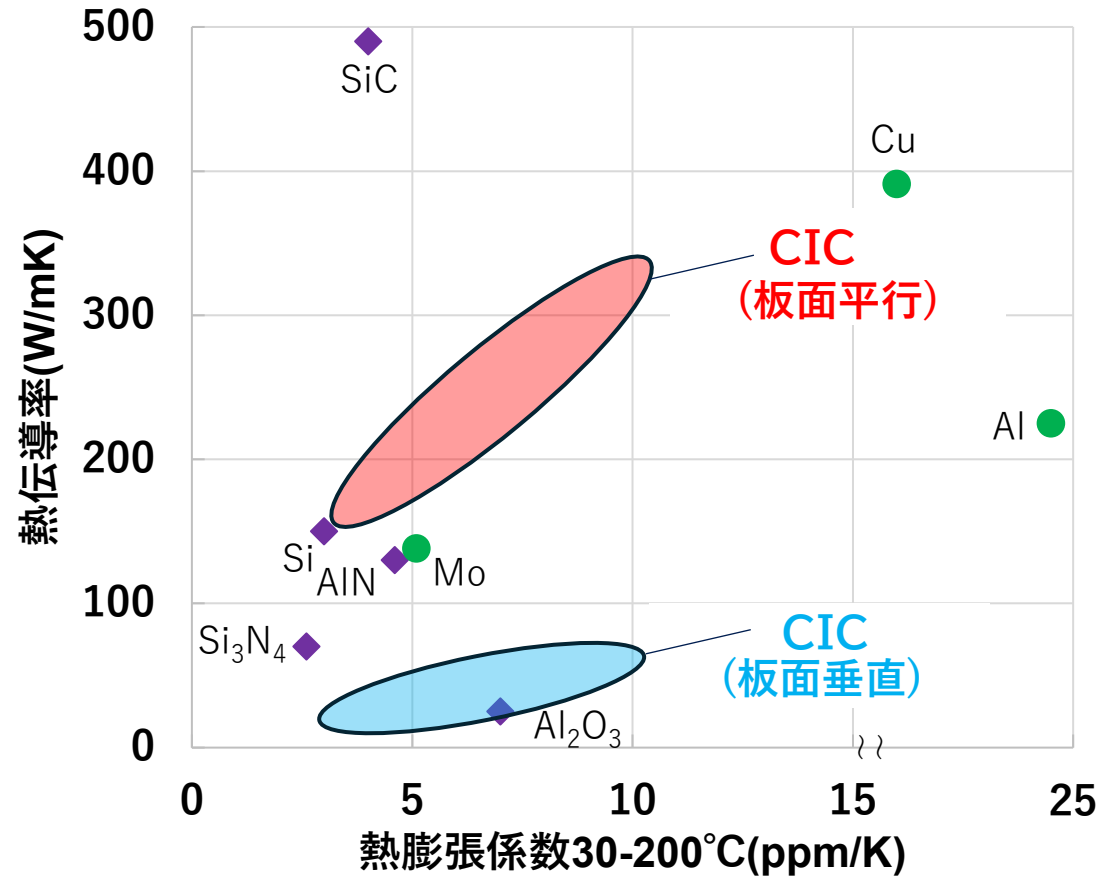


CIC-1とCIC-3の断面写真

※CICは東芝マテリアル株式会社の登録商標です。
※InvarはAperam Imphy Alloysの登録商標です。

*)本資料に記載の数値は参考値であり、保証値ではありません。

3-3.(1)CICの特性比較



各材料の熱膨張係数と熱伝導率

*)本資料に記載の数値は参考値であり、保証値ではありません。

Confidential

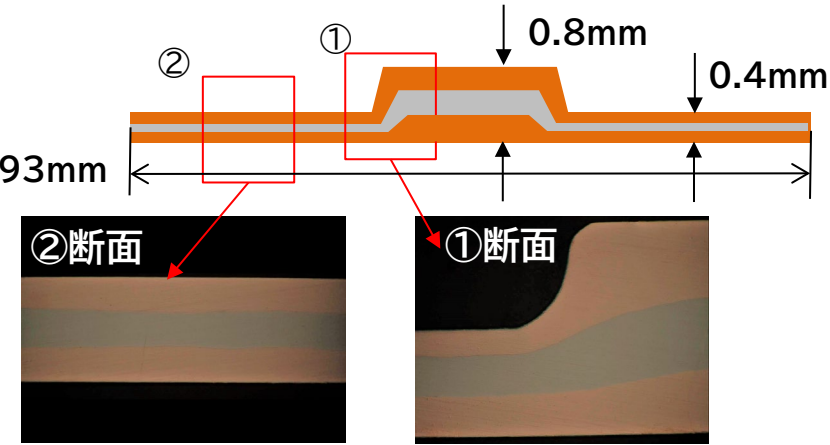
株式会社 プロテリアル金属

Copyright © 2025 Proterial, Ltd. All Rights Reserved. |

概要

- CICは異形条に加工することが可能
- 低熱膨張と同時に部分的に、ヒートシンクや両面冷却のスペーサ用などに使用可能

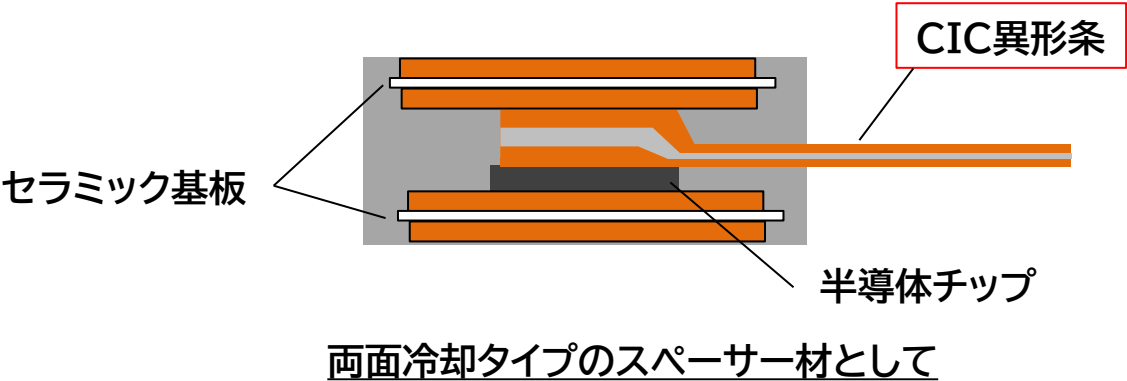
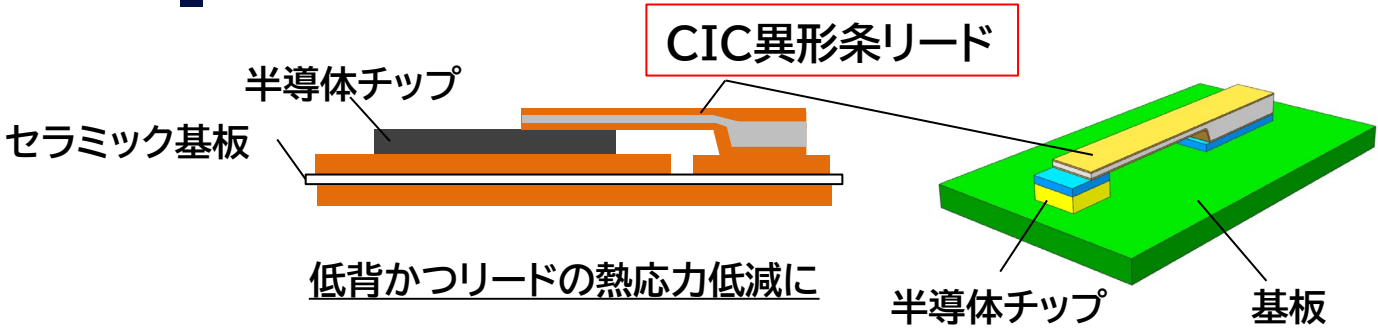
クラッド異形条試作例



・各層比率

	薄部	厚部
Cu	1.00	1.00
36Ni-Fe	1.03	1.01
Cu	0.95	0.98

使用方法ご提案



*)本資料に記載の数値は参考値であり、保証値ではございません。

3-3.(2)ヒートシンクにおけるCu/Alクラッド材使用のご提案

1.対象箇所

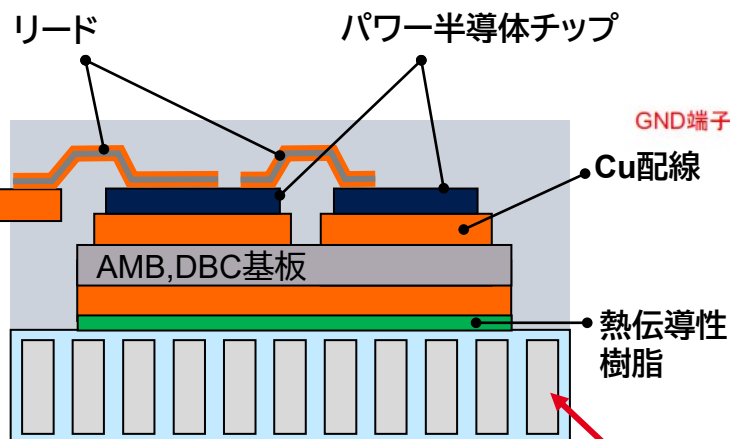
- ・パワーモジュールの冷却器(ヒートシンク)

2.トレンド

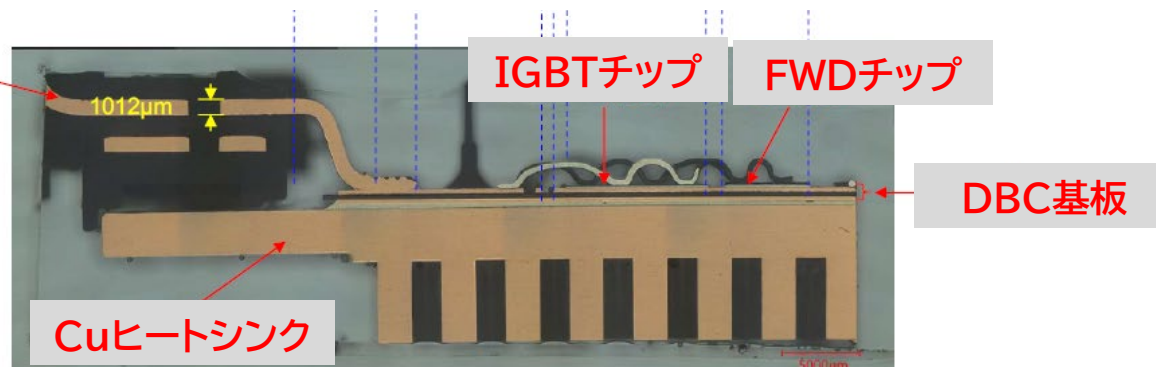
- ・冷却強化のためヒートシンクの材質をCu化する動きあり

Cu化のメリット

- ①熱伝導性アップによる冷却性能向上
- ②銅貼りセラミック基板とはんだ付け可能
➡SiCチップを小さくできる



冷却器(ヒートシンク)
従来の材質はAl



Cuヒートシンク採用例(BYD)

引用:マークラインズWebiner
名古屋大学 山本教授資料



引用:タイワ工業(株)HP

ヒートシンクフィン形状例
(ピンフィン)

3.課題

- ・Cuをピンフィン加工するには熱間鍛造が必要→高コスト
- ・ピンフィンのピッチを細かくできない

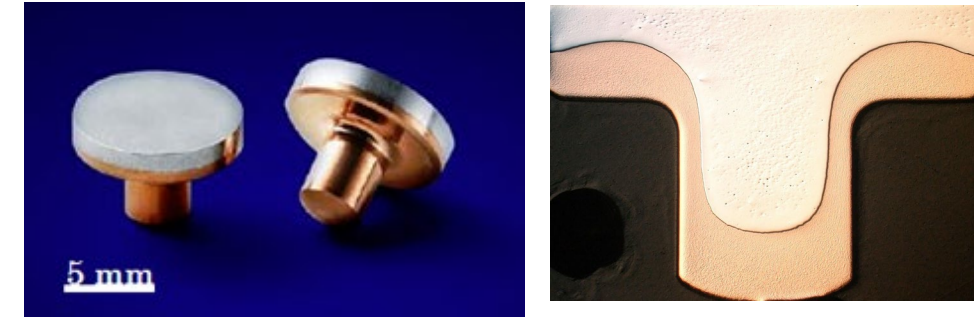
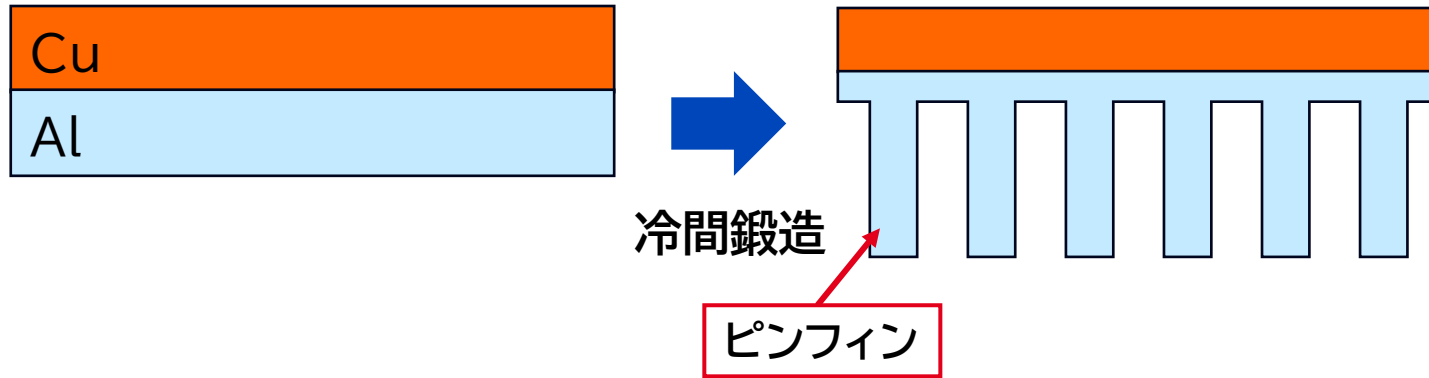
*)本資料に記載の数値は参考値であり、保証値ではございません。

Confidential

3-3.(2)ヒートシンク用Cu/Alクラッド材

4.課題解決

- CuとAlのクラッド材→冷間加工でAlをピンフィン加工



外観 断面
Cu/Alクラッド材のピン加工例

Cu/Alクラッド材使用のメリット

- 冷間鍛造なので加工コストを低減
- ベースはCuなので熱伝導性とはんだ付け性の優位性はそのまま
- 水側がAlなのでメッキ不要

*)本資料に記載の数値は参考値であり、保証値ではございません。

Confidential

3-3.(3)クラッド材による金属反応バリアのご提案

1.対象箇所

- ・半導体チップにはんだ付けされるリードフレーム、スペーサ等

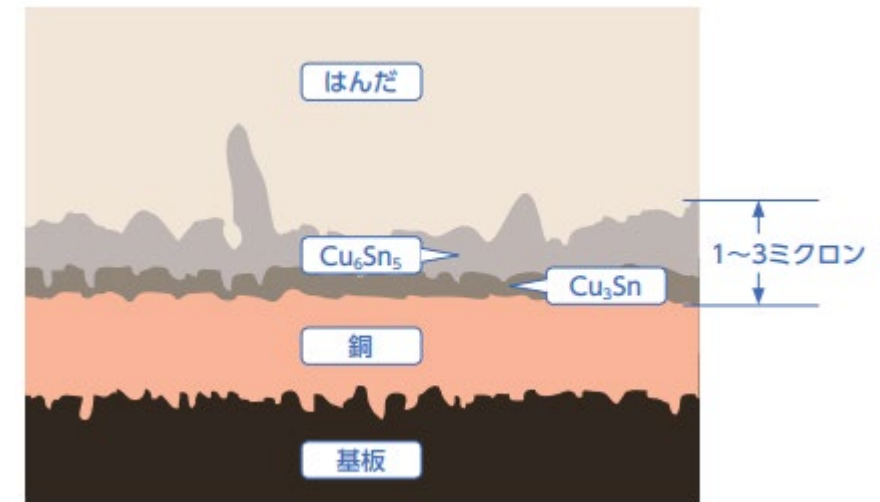
2.トレンド

- ・Si→SiC化による高温動作化

3.課題

- ・Cuとはんだの反応が加速
 - ➡バリアのためのNiめっきが厚膜化
 - ➡めっきコストが増大

半導体	動作温度	Niめっき膜厚
Si	Max150℃	5μm程度
SiC	200℃以上可能	5μm以上



Cuとはんだの界面反応模式図

引用元:https://pubdata.nikkan.co.jp/uploads/book/pdf_file606572efc0a9a.pdf

4.課題解決

- ・Ni層をめっきではなくクラッドによって付与

Niクラッド実績

構成	板厚比率例	用途
Ni/Cu/Ni	1:1:1~1:8:1	電池内部配線
Cu/SUS/Ni	16:76:8~7:91:2	電池ケース



Ni/Cu外観



Cu/SUS/Ni外観

クラッド材使用のメリット

- ・めっきでは困難な厚膜Ni層を設けることができる
- ・Ni以外の金属バリア層を設けることができる

*)本資料に記載の数値は参考値であり、保証値ではありません。

4.合金材によるソリューション

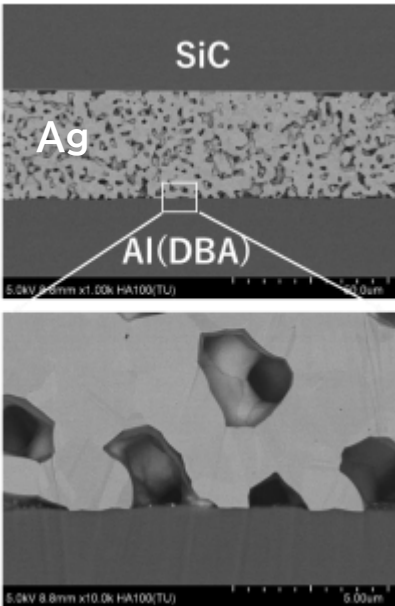
4-1.(1)高熱伝導-高耐熱銅合金のご提案

1.対象箇所

- ・パワー半導体用リードフレーム材

2.トレンド

- ・Si→SiC化による高温駆動化→Ag焼結接合の増加

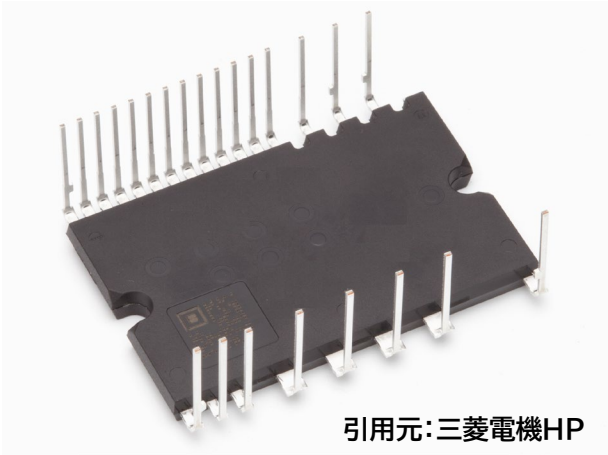


- ・高温でも接合強度が低下しない
- ・はんだよりも熱伝導性に優れる

引用元:大阪大学 新技術説明会
陳 特任助教資料

3.課題

- ・接合温度高温化でリードフレームが軟化
→DIPタイプのパッケージではリードの変形が問題



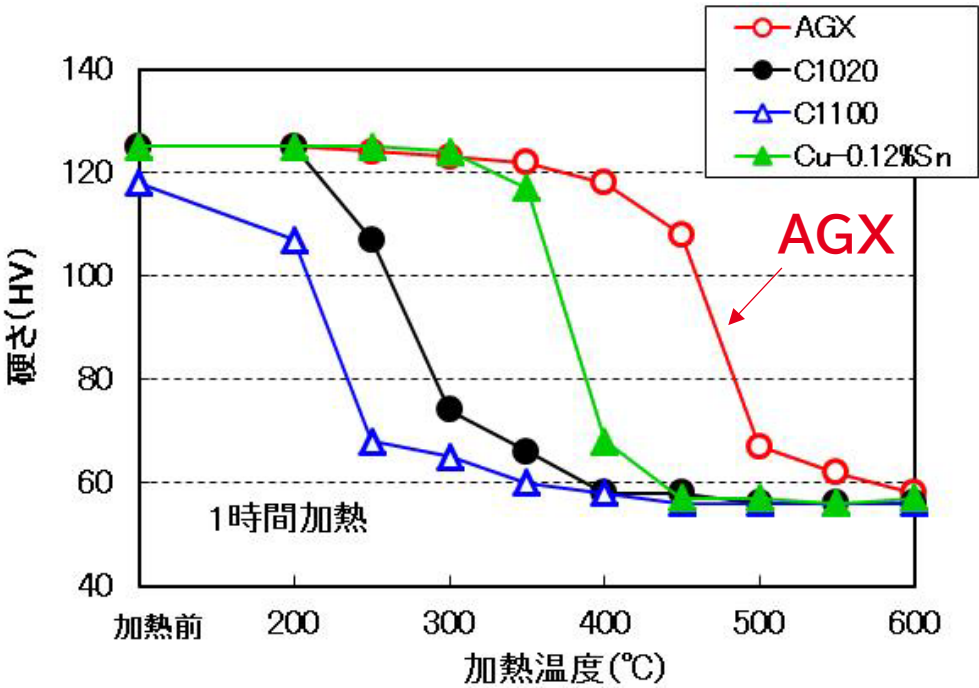
引用元:三菱電機HP

接合材料	接合温度
Pbフリーはんだ	250℃程度
Agペースト	250～300℃

*)本資料に記載の数値は参考値であり、保証値ではございません。

4.課題解決

・高熱伝導高耐熱銅合金「AGX」



※質別Hでの比較

材料名	AGX	C1020	HCL-12S	HCL-02Z
成分	Cu-Ag-Zr	Cu	Cu-0.12%Sn	Cu-0.02%Zr
導電率 (%IACS)	98	99	90	94
熱伝導度 (W/m・K)	382	392	360	373
熱膨張係数 (10 ⁻⁶ /K)	17.7	17.7	17.7	17.7
引張強さ (MPa)	340	340	360	360
伸 び (%)	4	4	4	4
硬 さ (HV)	120	120	125	125

AGXのメリット

- ・熱伝導率/導電率は無酸素銅と同等
- ・耐熱温度はZr入り無酸素銅と同等



- ・Agペーストの接合温度を上げられる
- ・更に接合温度が高いCuペーストの使用も可能に

*)本資料に記載の数値は参考値であり、保証値ではございません。

プロテリアル金属には、本日紹介しきれなかった
その他の電子用材料が多数ございます。

それらについては、パネルのほうで展示させて
いただいておりますので、ぜひお立ち寄り下さい。



PROTERIAL



新光電気(株) 殿向けプロテリアル展示会

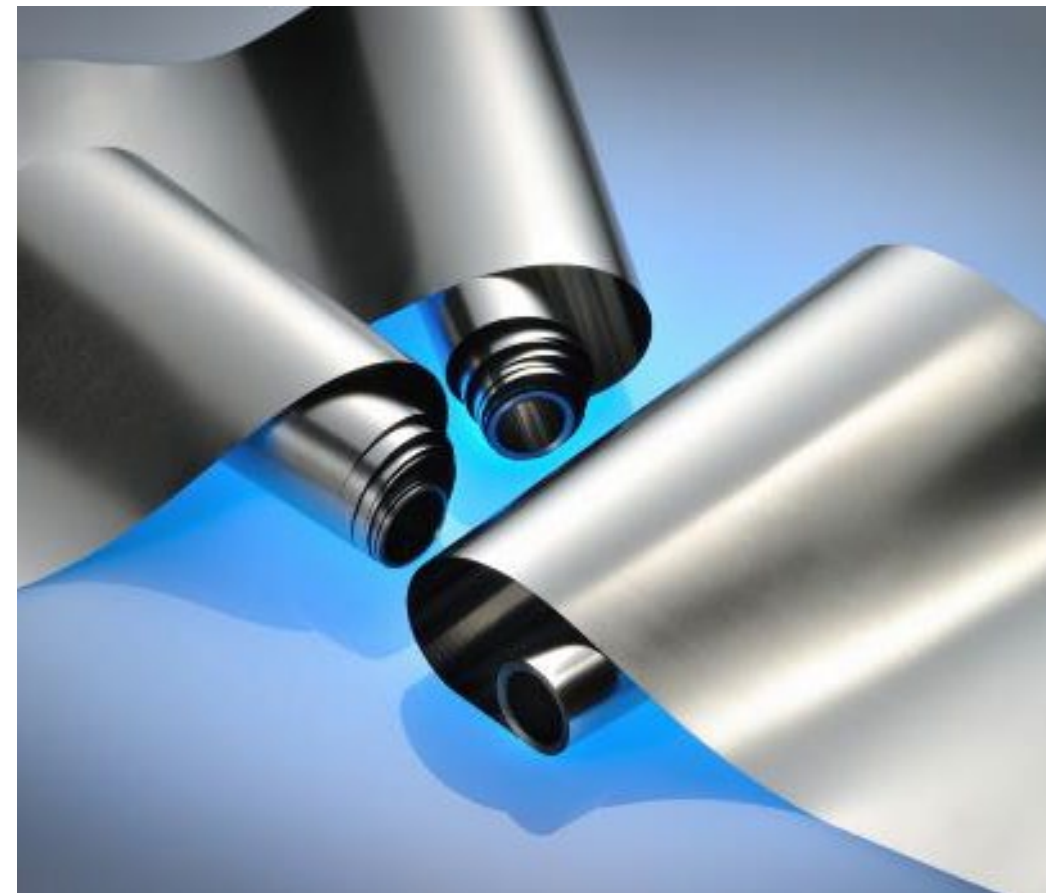
アモルファス材のモータ適用と 金型打抜き加工について

2025年 3月 6日

株式会社プロテリアル

営業本部 AE部 佐野 博久

安来工場 加工部 新素材グループ 村上 聡志



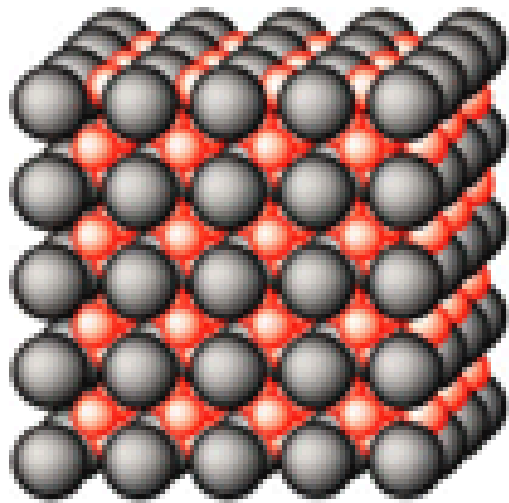
本資料には株式会社プロテリアルの秘密情報が含まれています。
事前の許諾無く第三者への開示及び目的外での使用(特許出願を含む)
並びに複製・複写・転載・転用・編集・改変などの二次利用を禁じます。

1. アモルファス材の基本特性とモータ適用事例

2. 金型コーティングの検討

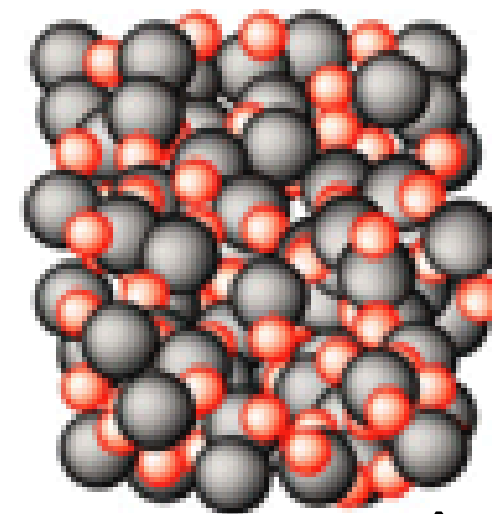
1. アモルファス材の基本特性とモータ適用事例

2. 金型コーティングの検討



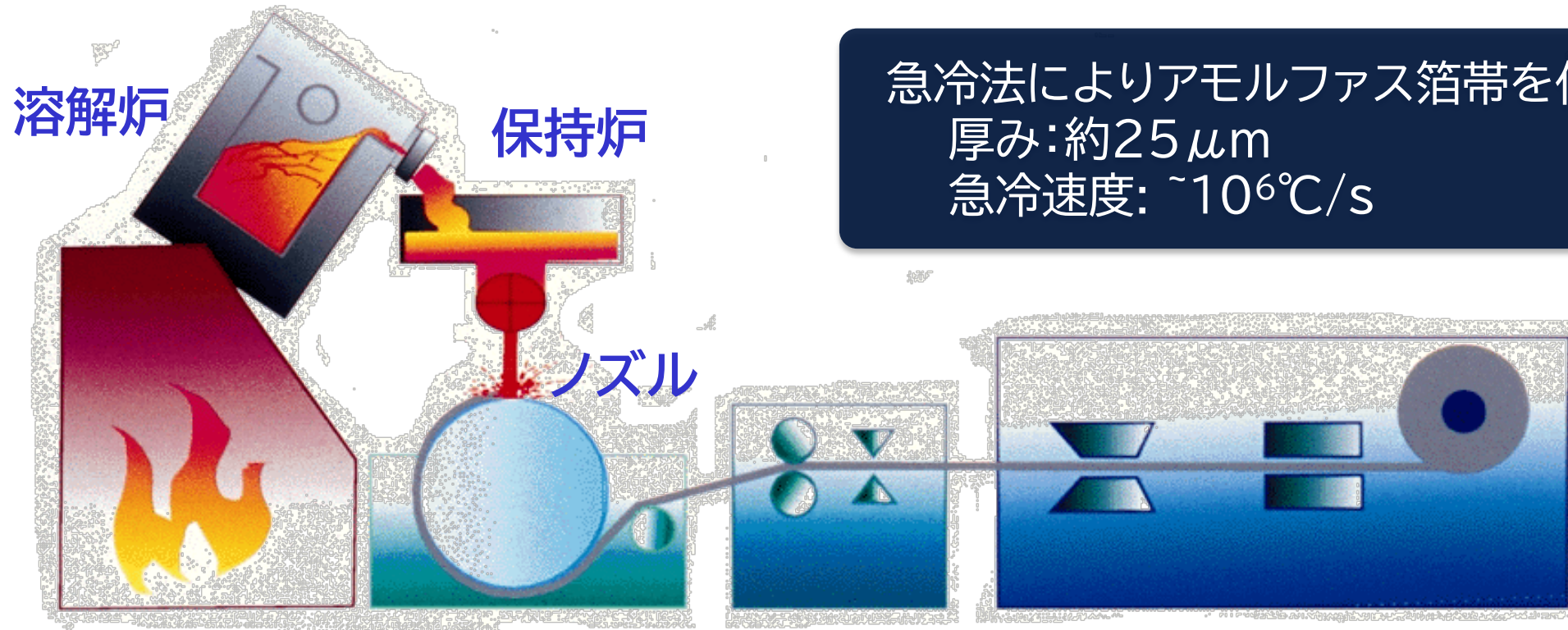
結晶材料
(例: 方向性電磁鋼板)

- ・規則的原子配列
⇒ 結晶磁気異方性が存在
 - ・低電気抵抗 ($0.5 \mu\Omega \cdot m$)
・板厚大 ($\sim 0.35 \text{ mm}$)
- ヒステリシス
損失大
- 渦電流
損失大



アモルファス合金
(例: Metglas[®] 2605HB1M)

- ・不規則原子配列
⇒ 結晶磁気異方性消失
 - ・高電気抵抗 ($1.3 \mu\Omega \cdot m$)
・薄帯 (0.025 mm)
- ヒステリシス
損失小
- 渦電流
損失小



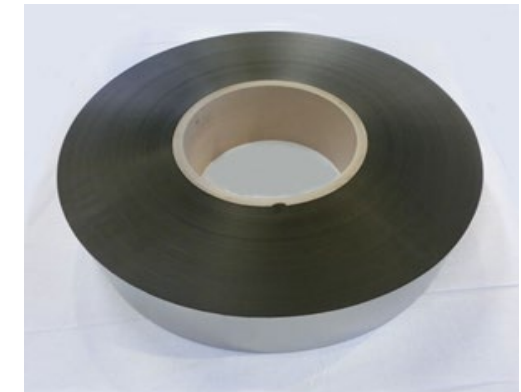
急冷法によりアモルファス箔帯を作製
厚み: 約 $25\mu\text{m}$
急冷速度: $\sim 10^6\text{°C/s}$

Metglas® 2605SA1 & 2605HB1M

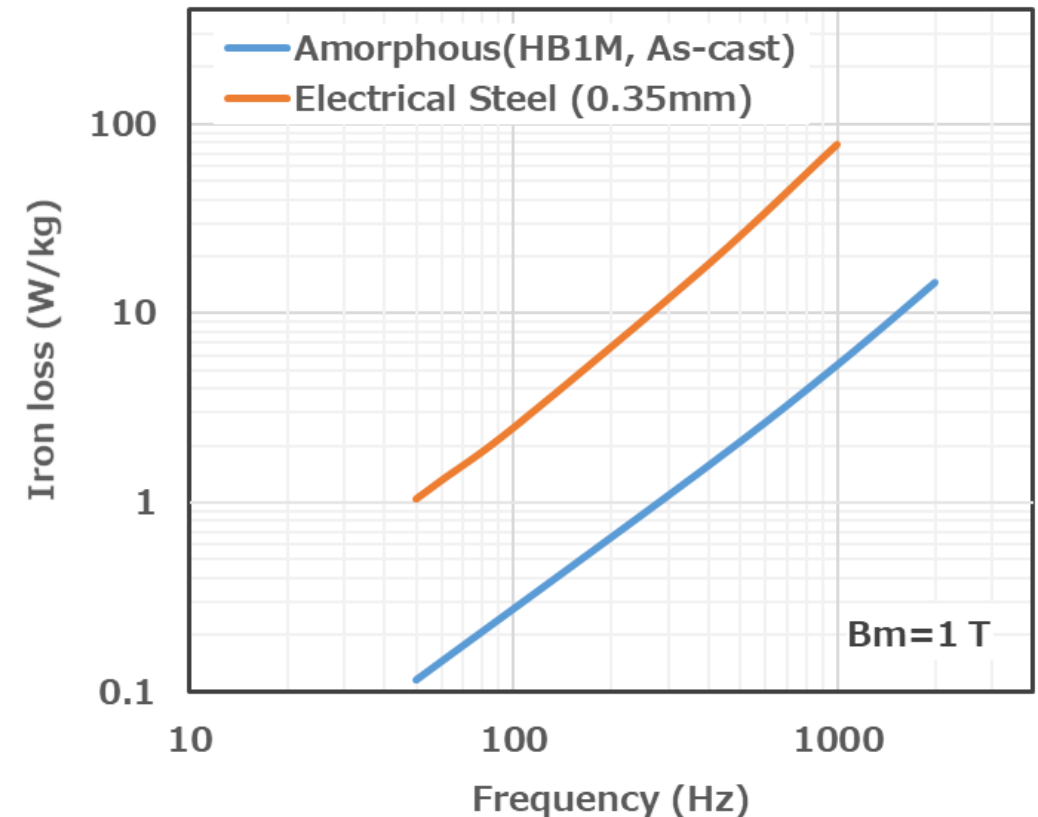
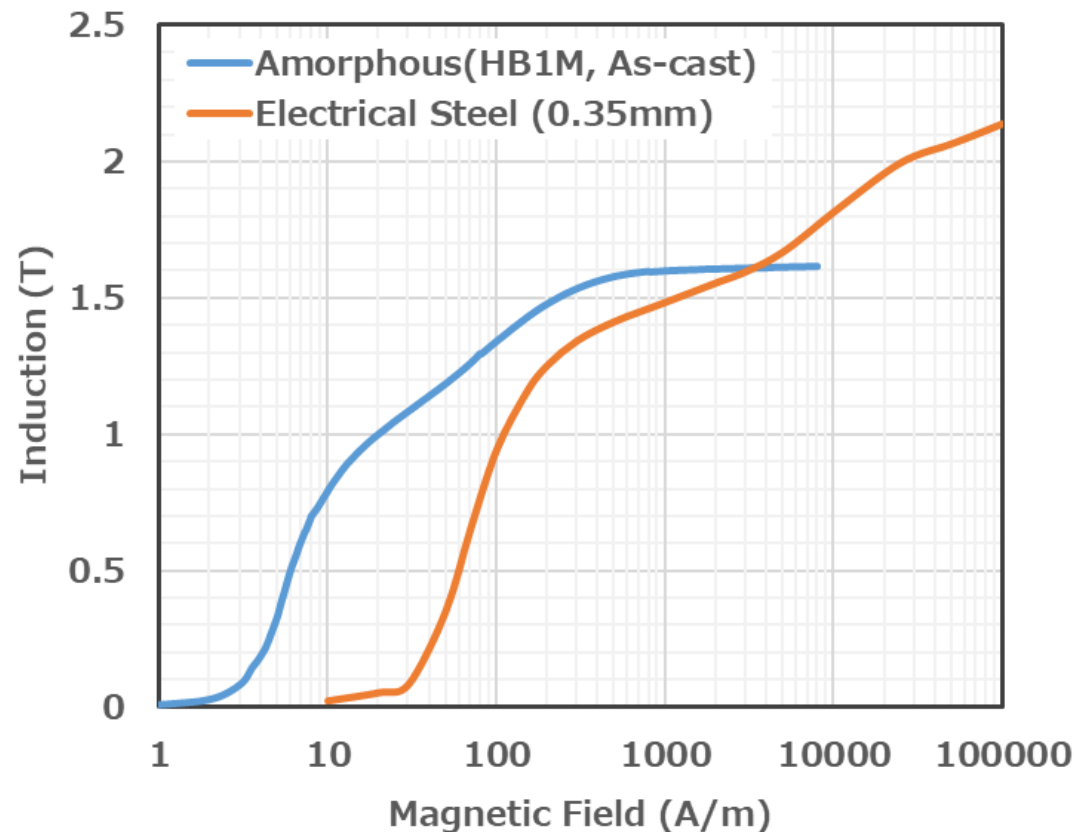
化学組成: Fe, Si, B

公称リボン板厚: $25\mu\text{m}$

標準リボン幅: 142 mm, 170 mm, 213 mm

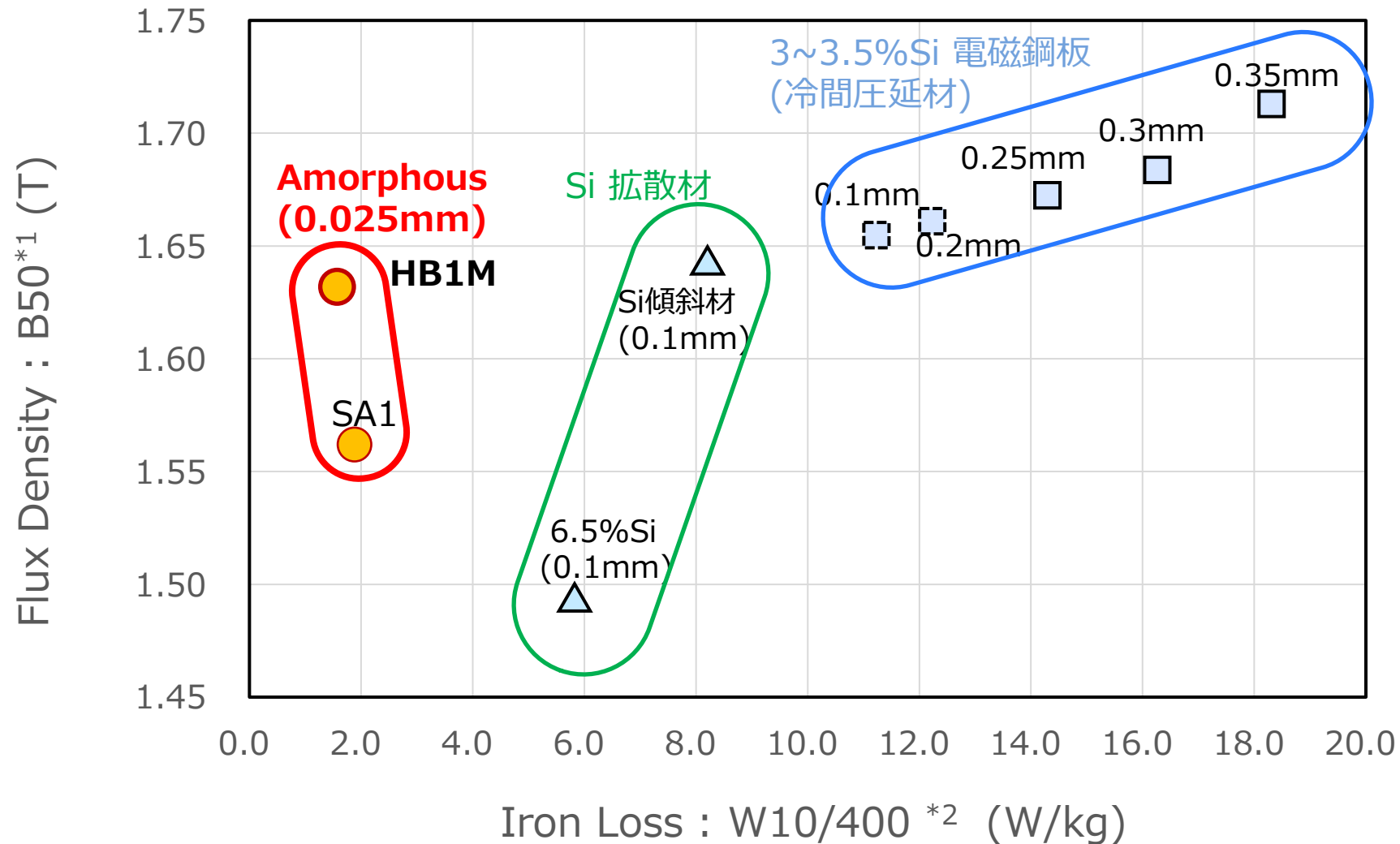


- ・ 鉄損は通常の未熱処理品でも電磁鋼板の1/10以下
- ・ 飽和磁束密度Bsは電磁鋼板よりも低い(約80%)



■コア材料磁気特性比較-2

PROTERIAL



*1: Flux density
@H = 5000A/m

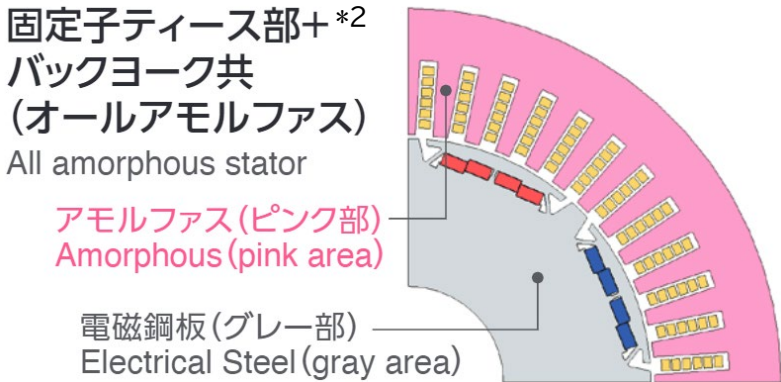
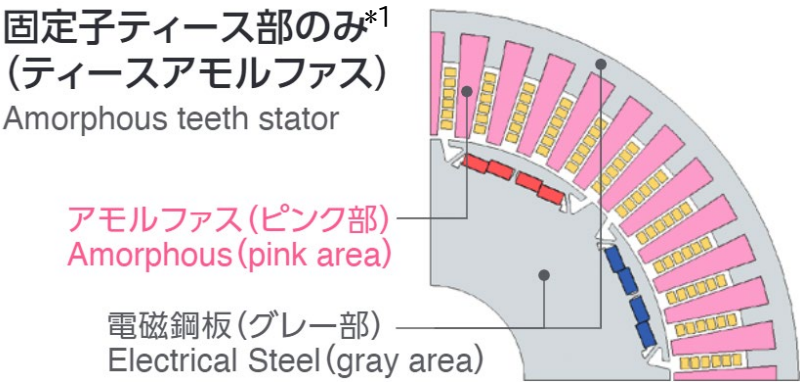
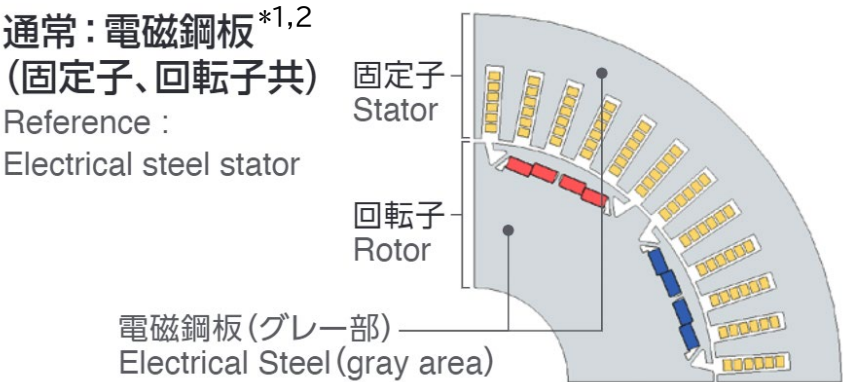
*2: Iron loss
@B_m = 1.0T
f = 400Hz

モータ外観



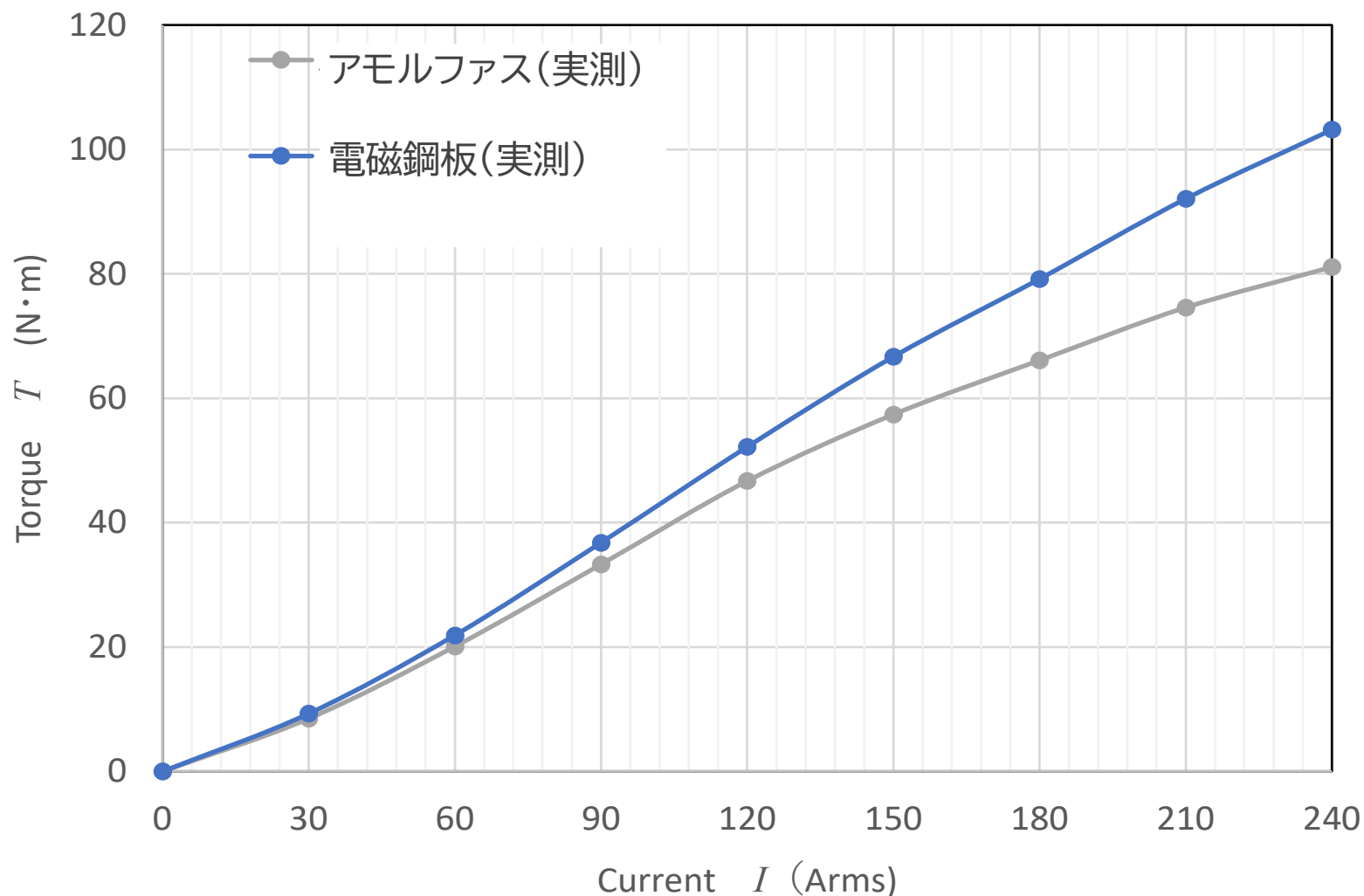
主要仕様

	分布巻IPMアモルファスモータ
出力仕様	22kW(6000 rpm, 35 N・m) Max:66kW(7000 rpm, 90 N・m)
最大トルク	90 N・m
最高回転数	20000r/min
体格	φ215×50mm(1.8L)
総重量	13.6kg



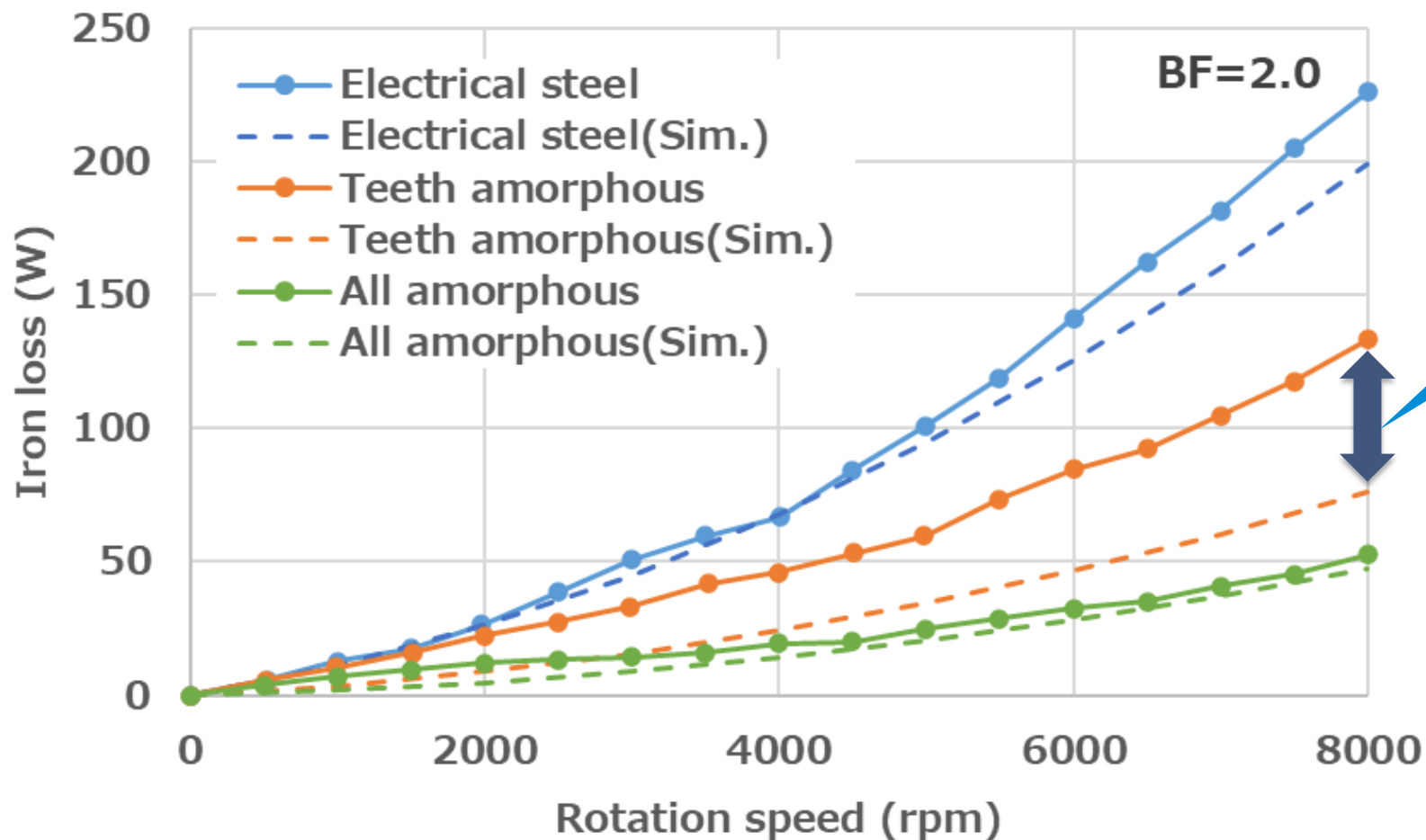
比較検討モデル(モータ断面:1/4モデル) *出典1,2を基に編集

出典 1)榎本 裕治, 永田 稔, 今川 尊雄:「アモルファス金属鉄芯をティース部に用いた分布巻IPMモータ」, 電学論D, Vol. 140, No. 5, pp.54 (2020)
2)榎本 裕治, 木村 守, 丸川 泰弘, 佐野 博久:「固定し鉄心全体をアモルファス金属とした分布巻IPMモータ」, 電学論D, Vol. 142, No. 4, pp.309-315 (2022)



* 120A程度まではほぼ同程度の挙動でそれ以上の電流値(高負荷側)ではアモルファス機のトルクは低下。

アモルファス化に伴う、鉄損低減効果を確認



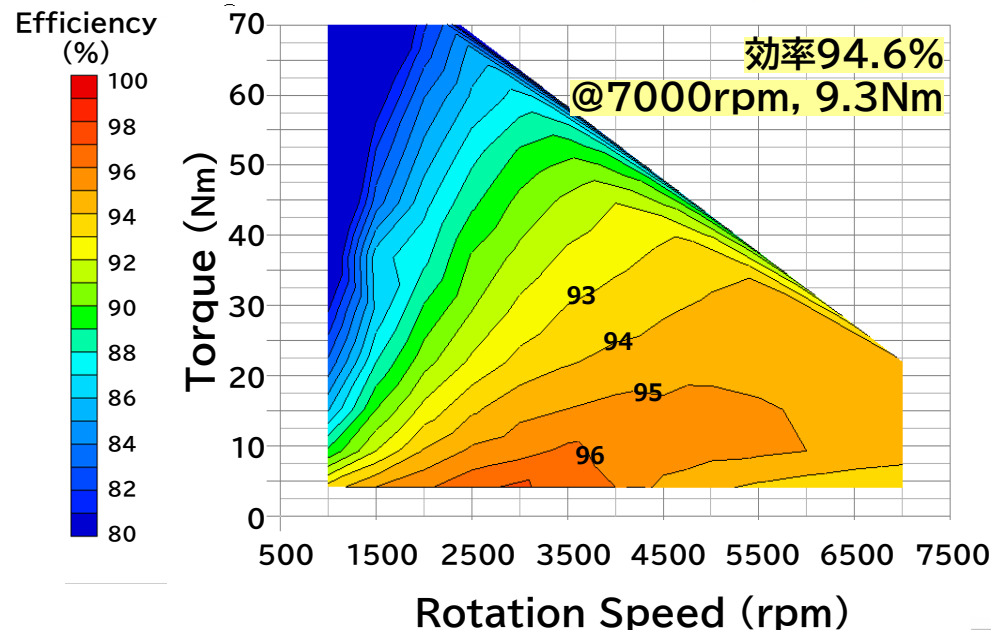
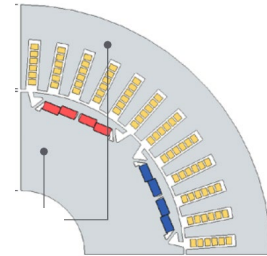
分割接合部の
Gap起因

Gapによって、外周
(電磁鋼板)に磁束が集中

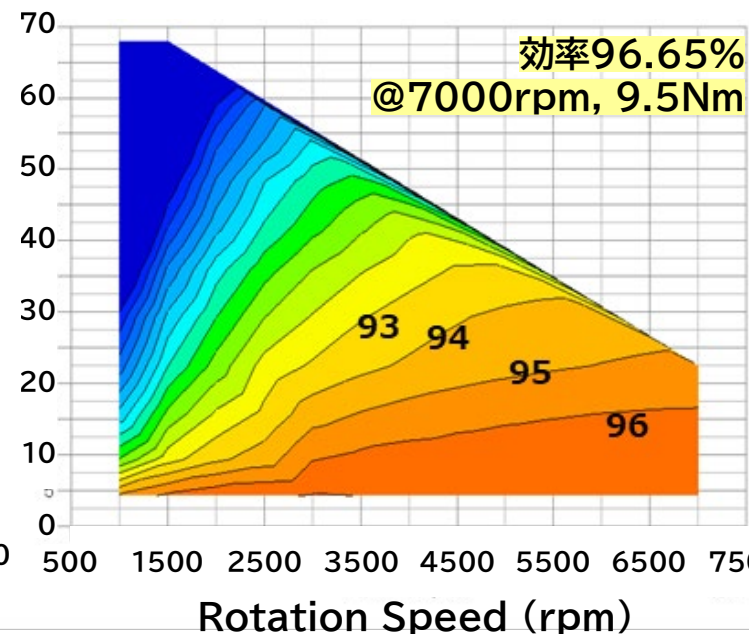
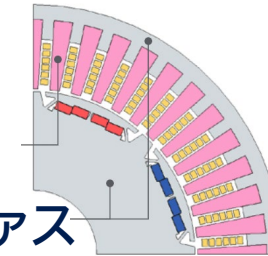
出典 榎本 裕治, 木村 守, 丸川 泰弘, 佐野 博久:「固定子鉄心全体をアモルファス金属とした分布巻IPMモータ」, 電学論D, Vol. 142, No. 4, pp.309-315 (2022) を基に一部編集

低負荷領域で効率改善。特に高速領域ではオールアモルファス化によって効率改善>3%（損失は半減）
→ アモルファス材のモーター適用による性能向上を実証

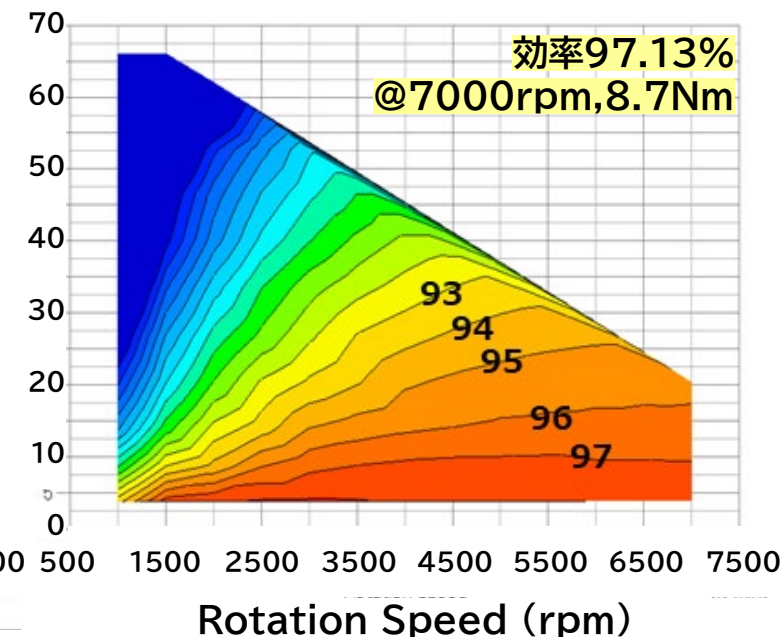
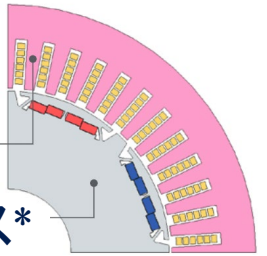
電磁鋼板*



ティースアモルファス



オールアモルファス*



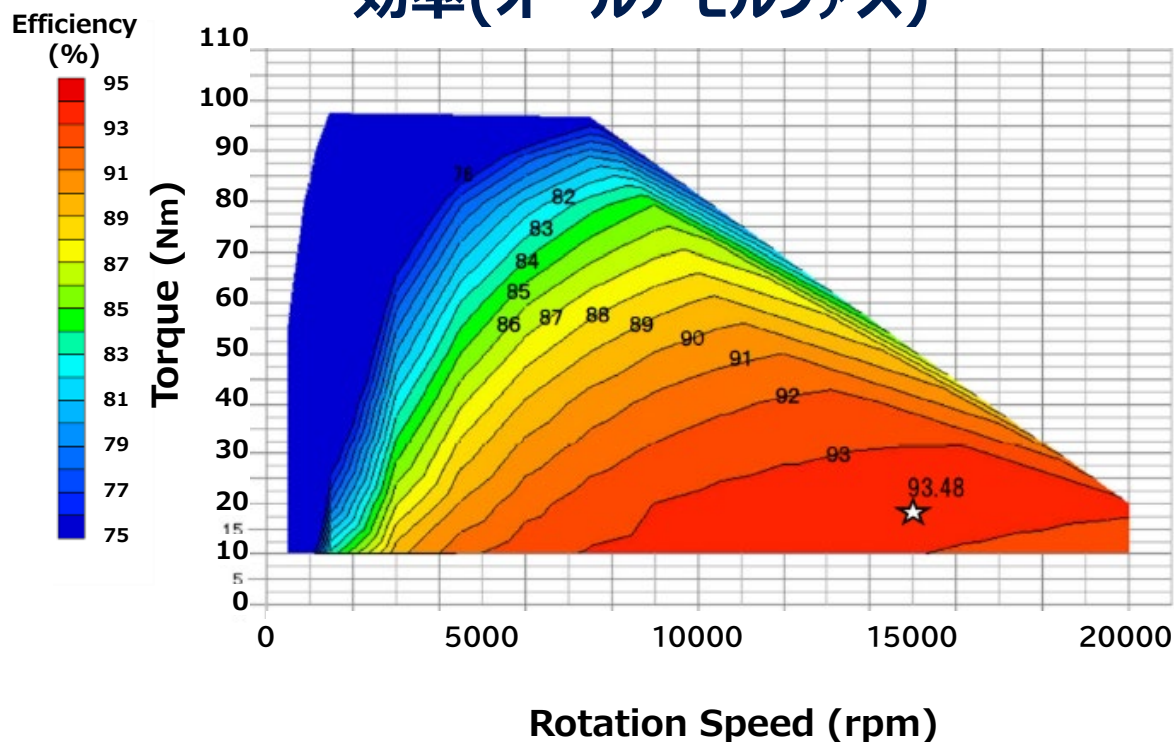
出典 榎本 裕治, 木村 守, 丸川 泰弘, 佐野 博久:「固定子鉄心全体をアモルファス金属とした分布巻IPMモータ」, 電学論D, Vol. 142, No. 4, pp.309-315 (2022) を基に一部編集

> 10,000RPMの高速回転域では更なる効率改善が期待できる

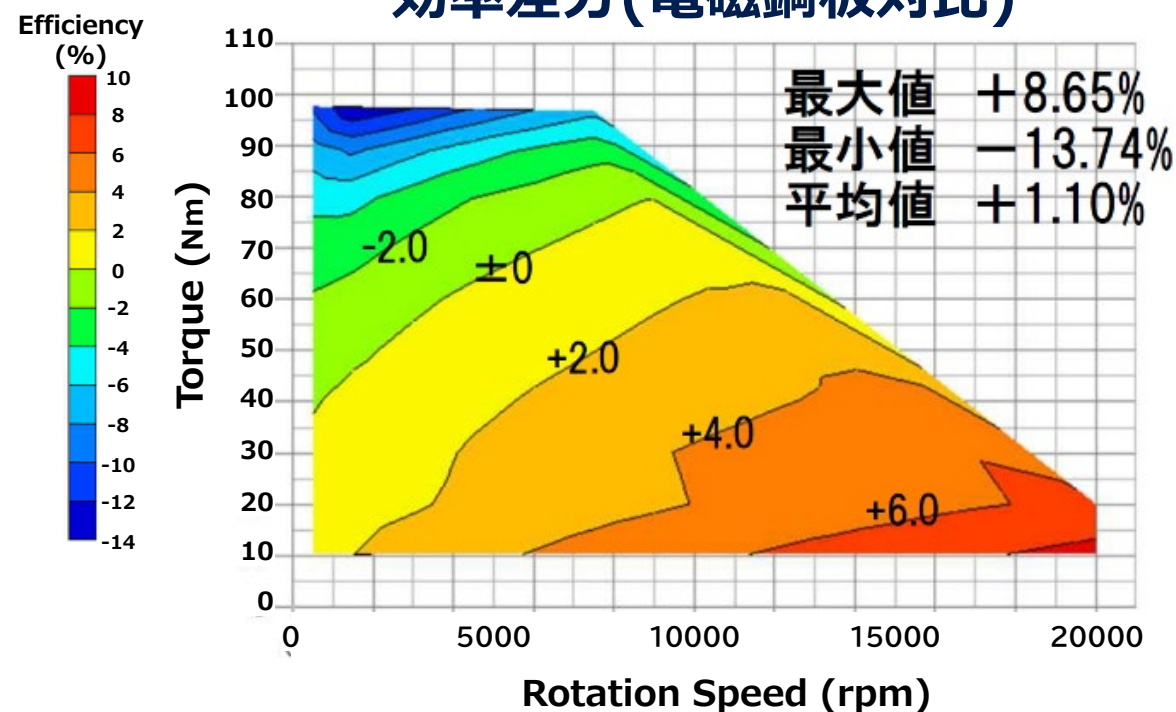
解析条件

- | | |
|-------------------------------|-------------------|
| 1. 銅損(DC) Rdcから算出 | 4. 磁石渦損 磁石導電率 |
| 2. 銅損(AC) 鎖交磁束起因の渦電流(自己電流分除く) | 5. 高調波 正弦波電流*105% |
| 3. 鉄損 スタインメッツ経験則*BFから算出 | 6. 機械損 実測からの近似式 |

効率(オールアモルファス)



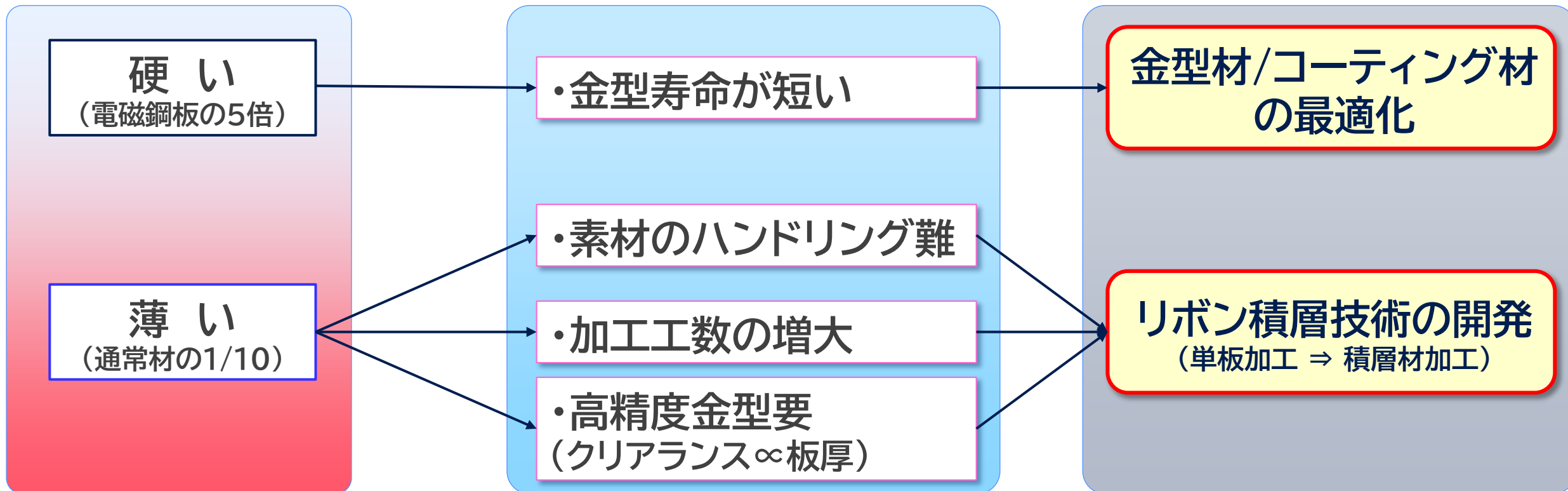
効率差分(電磁鋼板対比)



材料特性上の課題

加工工程への影響

対応策



■打抜き加工:アモルファス材の機械物性

PROTERIAL

材料構造
の特徴

転位が存在しない
⇒すべり変形が生じない

弾性変形域が大

短所

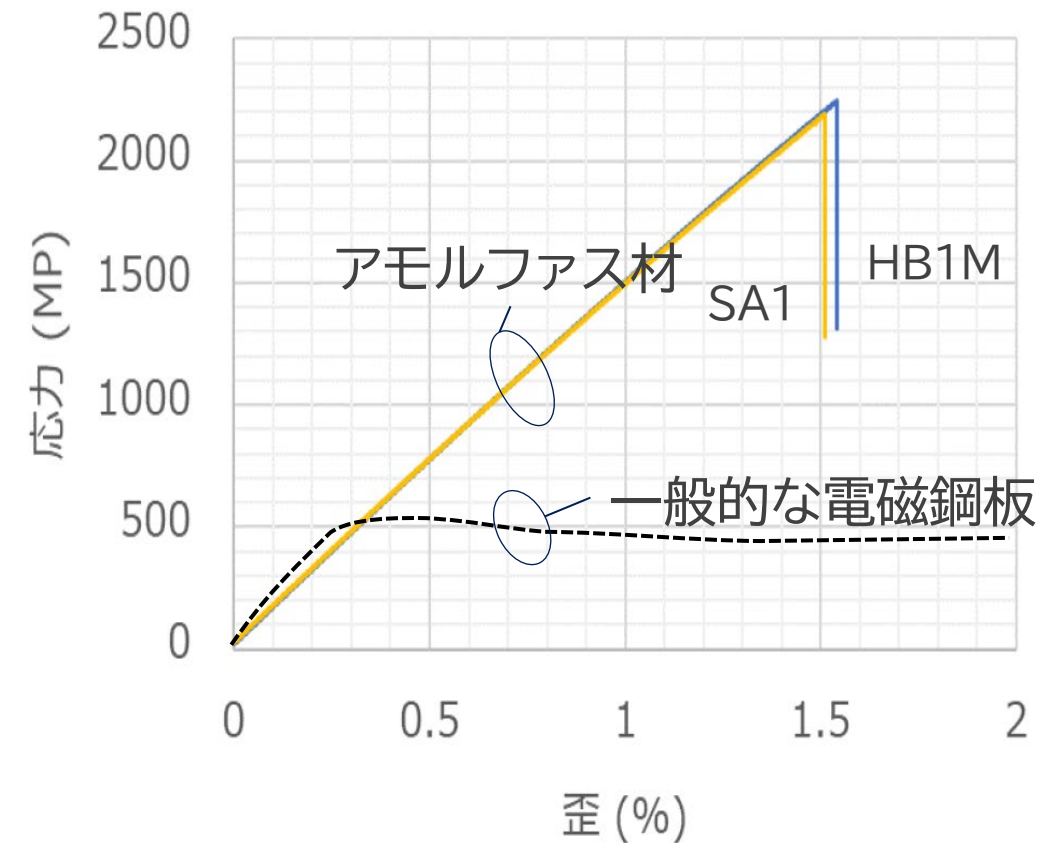
加工時の最大応力が高

金型材の所要硬度が高い

塑性変形が小

長所

加工時の素材へのダメージ小
(加工による損失増加が小さい)



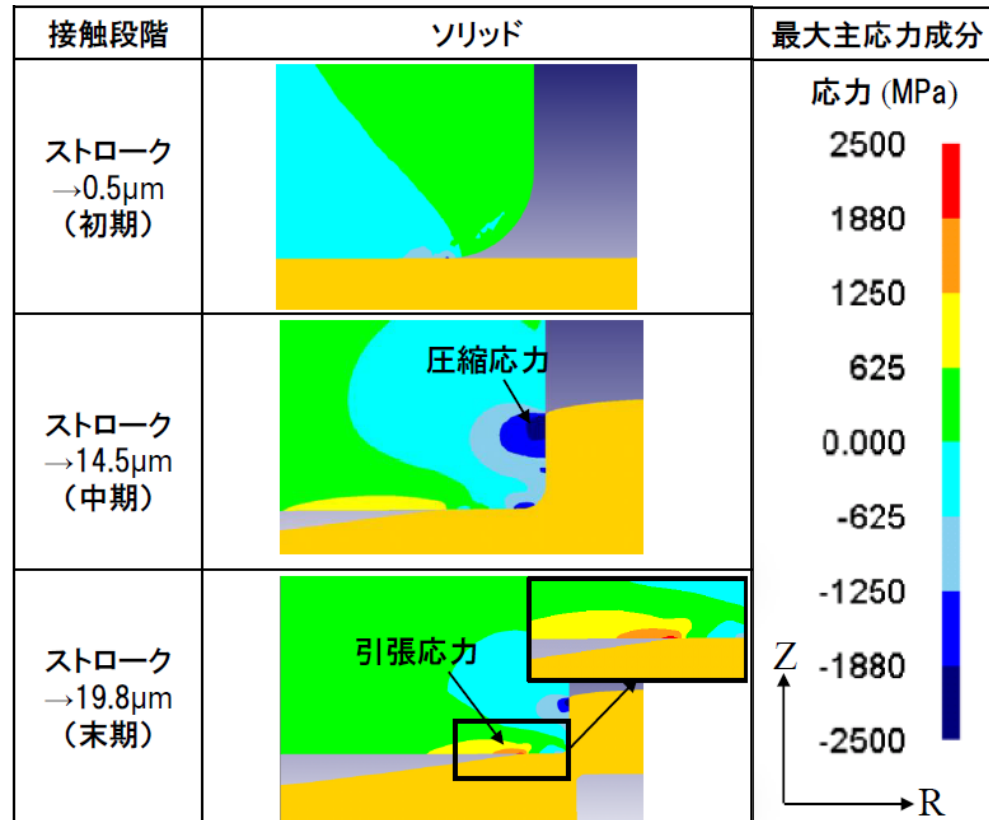
応力-歪み曲線(引張り試験)

■打抜き加工-2：加工上の留意点

- ・加工時のパンチ/ダイ角部への応力集中
- ・切断後のリボンによる側壁摩耗



- ・適切な金型材種の選定
- ・適切な表面処理



➤ パンチ/ダイの角部には側面に圧縮応力、底面側には引張応力(最大2GPa以上)が繰り返し印可

○ 金型基材硬度 >> アモルファス材硬度(Hv~900)
⇒ **超硬材(超微粒)**が好適

○ 金型側面: ストローク進行に伴って強い摩耗を受ける
⇒ **高硬度耐摩耗コーティング**

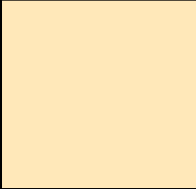
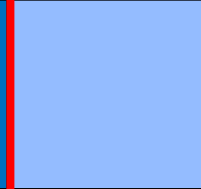
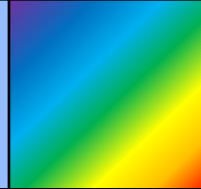
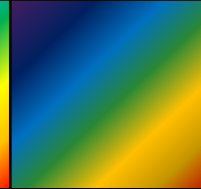
打抜き時のパンチ角部に掛かる応力シミュレーション例

1. アモルファス材の基本特性とモータ適用事例

2. 金型コーティングの検討

安来工場 加工部 新素材グループ 村上 聡志

精密プレス金型向けコーティング

	<i>Tribec</i> 炬 (Kagari)	<i>Tribec</i> 炬V (Kagari V)	<i>Tribec</i> XS ※	<i>Tribec</i> 剛 (Takeru)	<i>Tribec</i> 晃 (Hikaru)	<i>Tribec</i> 晃 ^{smooth} (Smooth)	<i>Tribec</i> DX ※	<i>Tribec</i> 極 (Kiwami)	<i>Tribec</i> 極 ^{Mk-II} (Kiwami)	<i>L-Frex</i> H ※
組成	V-Al系窒化物			Al-Cr系窒化物				DLC (Ta-C)		DLC (a-C:H)
色調										
	ダーク ゴールド	ブラック	シルバー	シルバー	グレー	グレー	ライトグレー	干渉色	濃干渉色	ブラック
膜硬さ (HV)	2500～ 2800	2500～ 3000	2800～ 3000	2500～ 2800	3000～ 3500	3000～ 3500	3000～ 3200	>6000	>6000	3000～ 3500
狙い膜厚 (μm)	>10	>10	3 or 8	8	3	3	<1	<0.3	<0.8	2.5
酸化開始温度 (℃)	600	400	400	700	1000	1000	1000	600	600	350
摩擦係数 (μ)	0.6	0.15	0.8	0.6	0.7	0.7	0.7	0.1	0.1	0.15

※カタログ未掲載製品

膜硬さ

Tribec®極 & 極 Mk-II (>6000HV) $\geq$ TiN_(2000HV) > CrN_(1600HV)

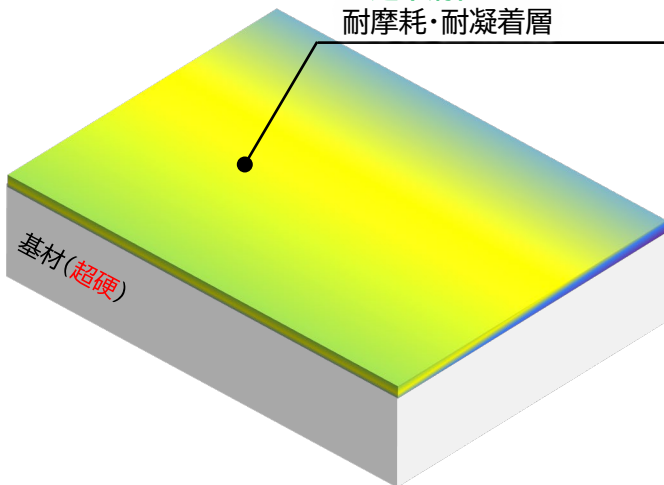
超高精度膜厚設計

Tribec®極 (0.3μm) < 極 Mk-II (0.8μm)

摩擦特性(アルミ・銅 無潤滑)

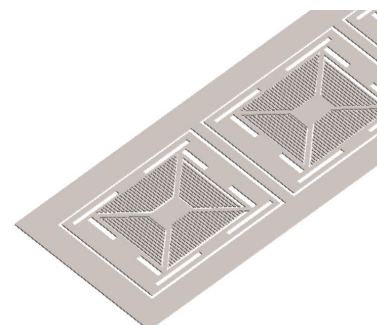
Tribec®極 & 極 Mk-II (μ0.1) < CrN_(μ0.6) < TiAlN_(μ0.7)

水素フリーDLC皮膜(T-FAD)
※超平滑性
耐摩耗・耐凝着層

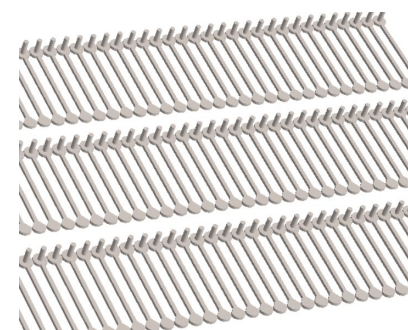


●推奨用途

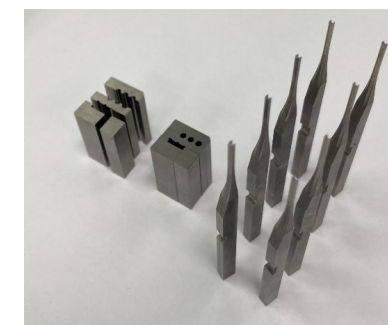
- ・コネクタ(Cu)、リードフレーム(42Ni)成形用精密金型
- ・電池部材(Al)成形用精密金型



リードフレーム

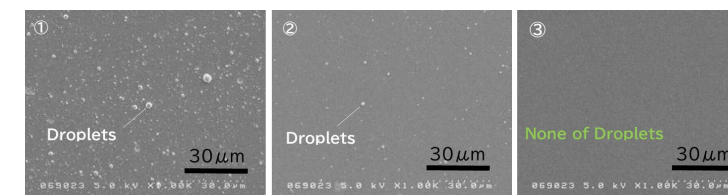
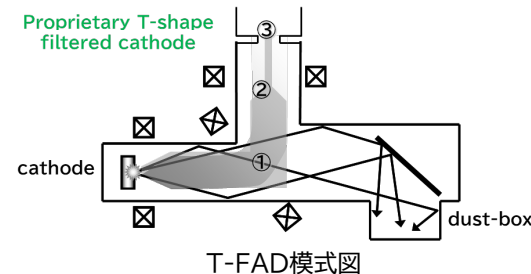


コネクタ部品



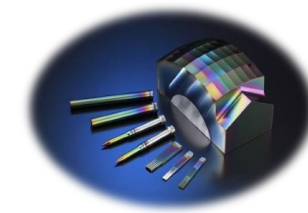
精密パンチ&ダイ

●水素フリーDLC(ta-C)に特化した独自のフィルタードアーク構造



フィルタードアーク方式によるコーティング表面の平滑性比較

Tribec®極 は独自のフィルタードアーク構造を用いることによる高硬度と極めて高い平滑性を実現。水素フリーDLCコーティングにおける最先端の皮膜



アルミ・銅合金成形超精密金型用“Tribec®極” & “Tribec®極 Mk-II”

膜硬さ

$Tribec^{\circledR} DX_{(3500HV)} \cong TiN_{(2000HV)} > CrN_{(1600HV)}$

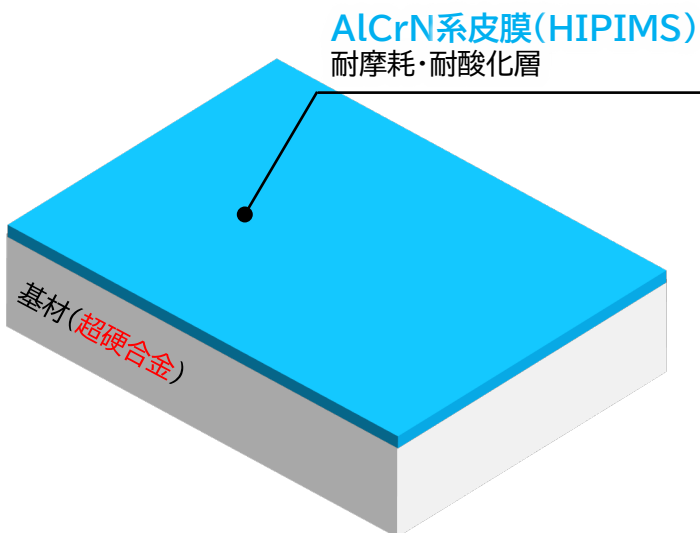
膜厚設定

$Tribec^{\circledR} DX_{(1.0\mu m)} < Tribec^{\circledR} \text{ 晃smooth}_{(3.0\mu m)} < Tribec^{\circledR} \text{ 晃}_{(3.0\mu m)}$

ドロップレットの影響により表面粗い

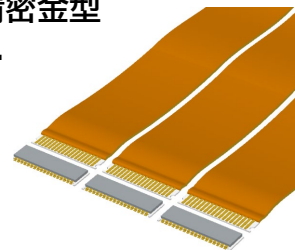
酸化開始温度

$Tribec^{\circledR} DX_{(1000^{\circ}C)} > TiAlN_{(800^{\circ}C)} > CrN_{(600HV)} > TiN_{(300^{\circ}C)}$

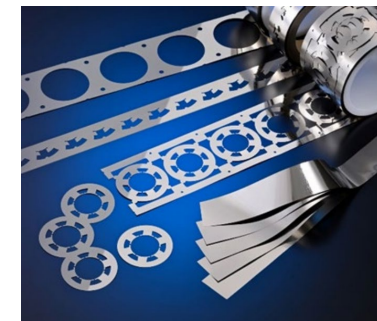


●推奨用途

- ・コルソン銅成形金型
- ・アモルファス合金成形金型
- ・超精密金型
etc.

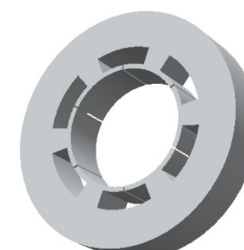


コネクタ部品

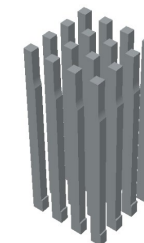


アモルファスモーターコア

●適用金型例



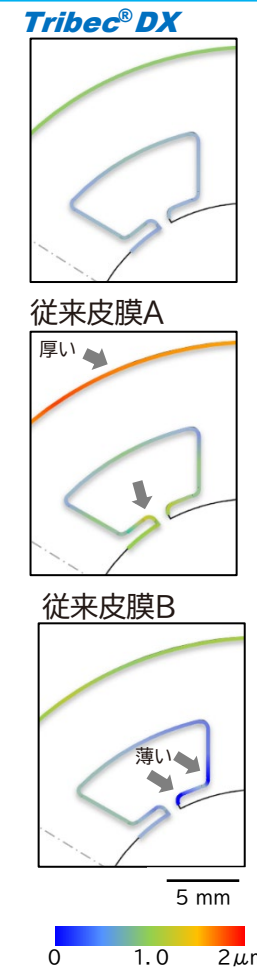
精密ダイ



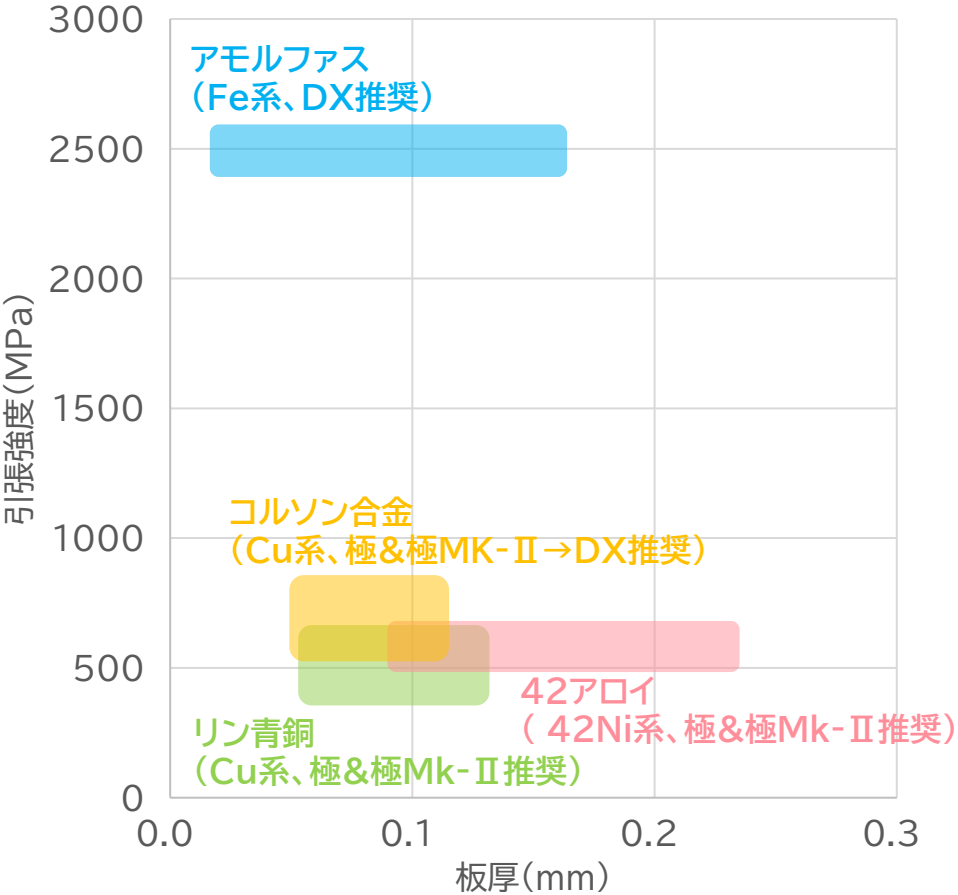
精密パンチ

Tribec® DX はサブミクロンの薄膜設計により、クリアランス制御の厳しい精密金型で必須の寸法精度を維持したまま高い耐摩耗性を実現する

コルソン銅・アモルファス合金成形用“**Tribec® DX**”



※平均膜厚をそれぞれ1μm程度に統一して比較



コルソン合金(t=0.10mm)

【打抜き条件】ショット数:100k、スピード:800spm
【金型条件】クリアランス:5μm、リシャープ幅:0 mm

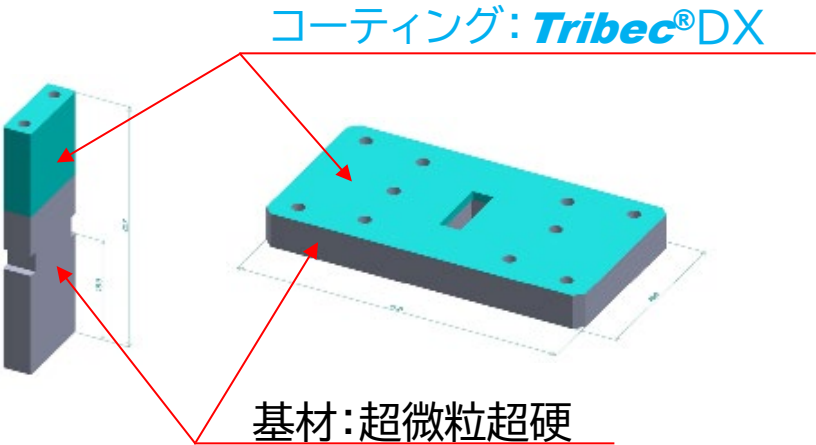
	全体	領域1	領域2	領域3
<i>Tribec® DX</i>				
<i>Tribec® 極</i>				

積層アモルファス(t=0.15mm:5層)

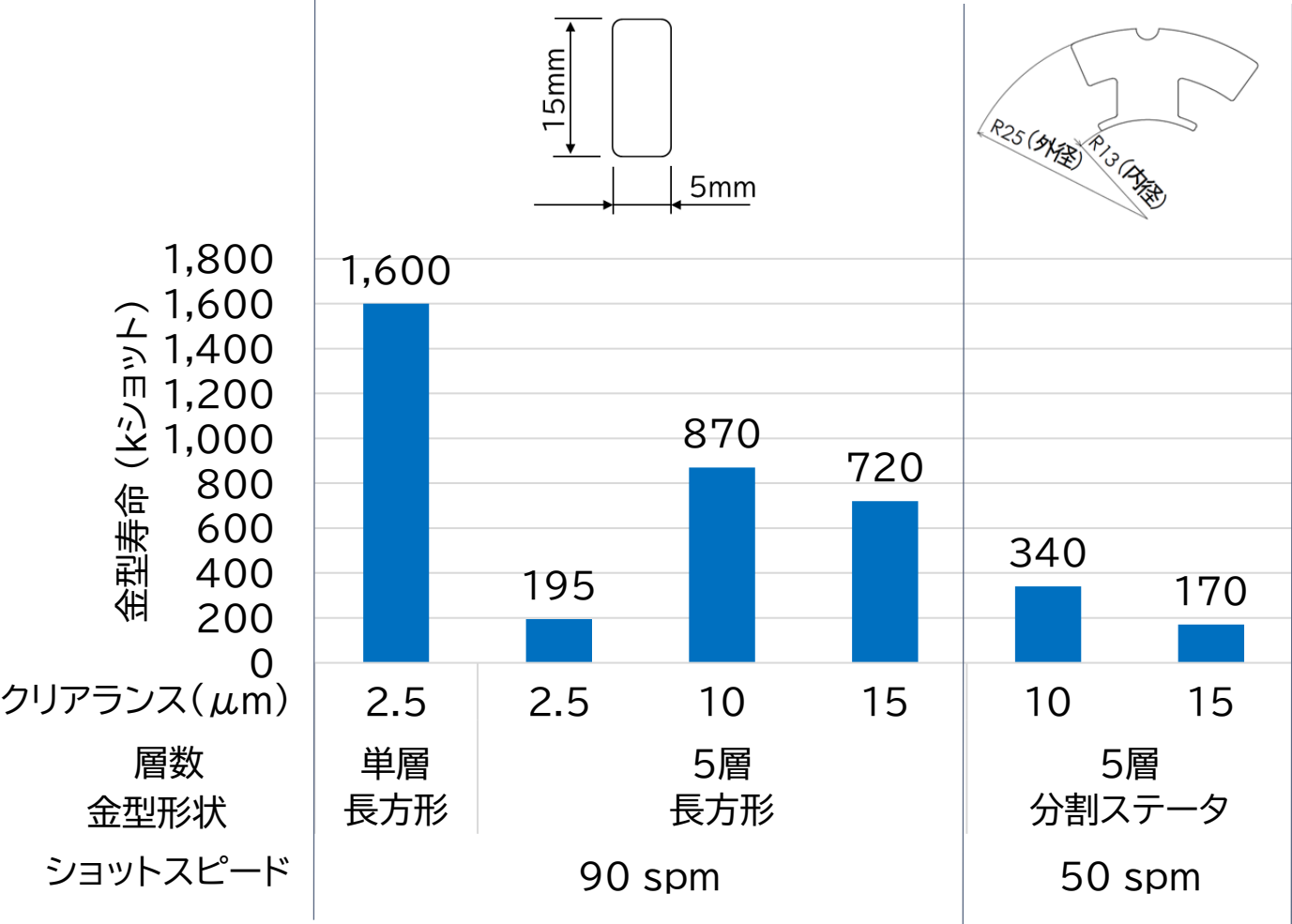
【打抜き条件】ショット数:10k、スピード:200spm
【金型条件】クリアランス:10μm、リシャープ幅:0.1 mm

	全体	領域1	領域2	領域3
<i>Tribec® DX</i>				
<i>Tribec® 極 Mk-II</i>				

金型構造(長方形)



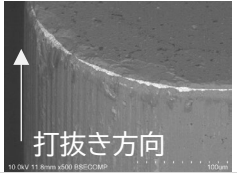
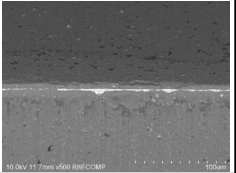
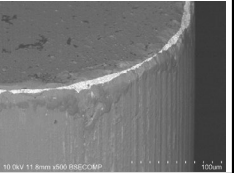
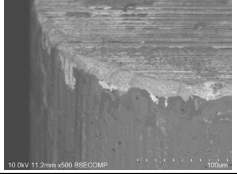
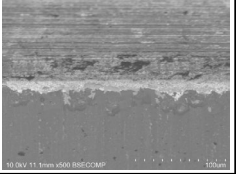
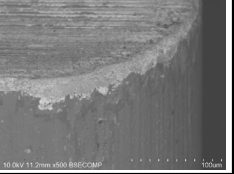
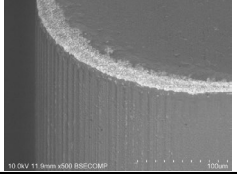
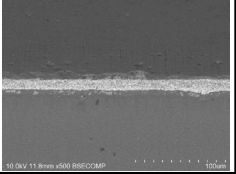
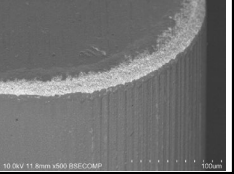
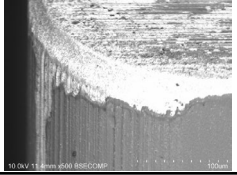
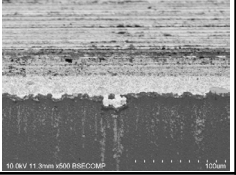
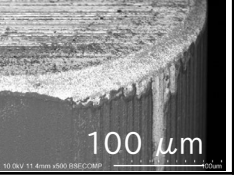
金型寿命



※金型寿命はアモルファス薄帯が打抜けない時点

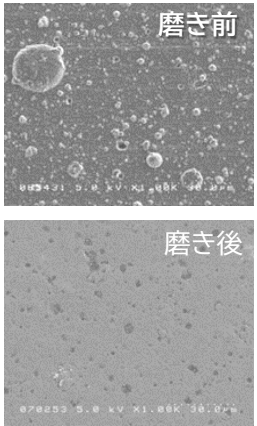
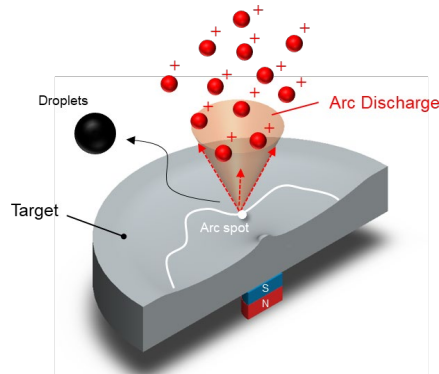
■金型長寿命化の検討(成膜方法)

【被成形材】積層アモルファス(t=0.15mm)
【打抜き条件】ショット数:約100k、スピード:200spm、クリアランス:10μm

	リシャープ幅	領域1	領域2	領域3
窒化膜A アークイオン プレーティング	0.0mm			
	0.1mm			
窒化膜B スパッタ	0.0mm			
	0.1mm			

● 蒸発源の概略図

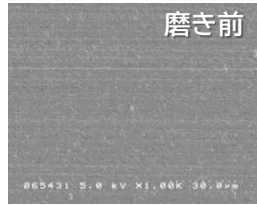
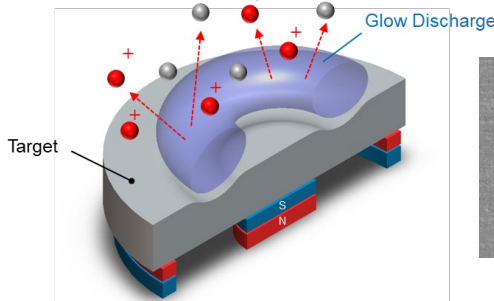
AIP: Arc Ion Plating



高電流・低電圧

放電電力密度: $\sim 10^9 \text{ W/cm}^2$

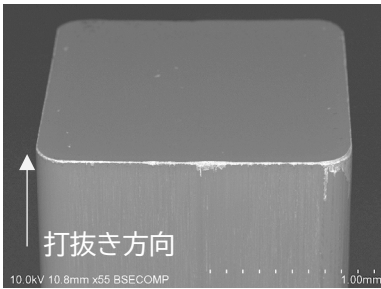
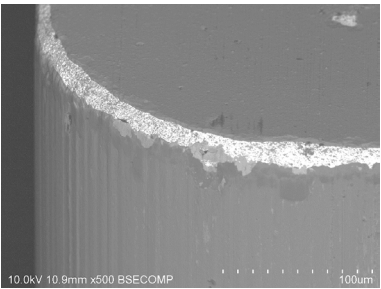
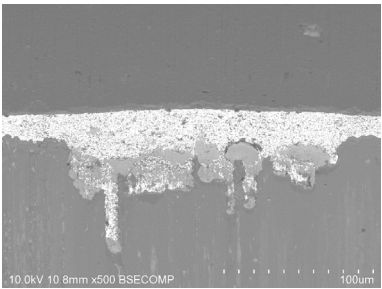
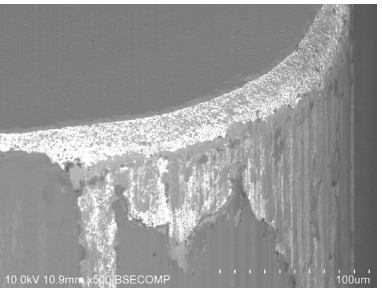
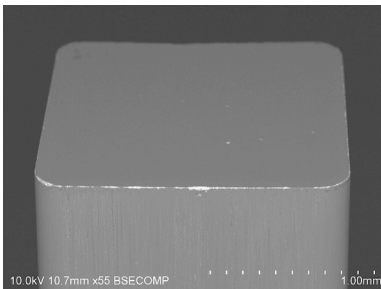
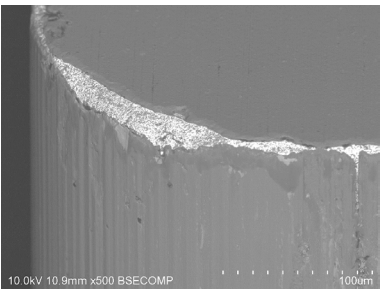
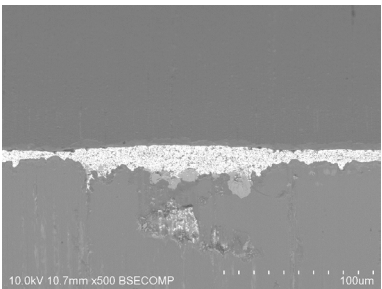
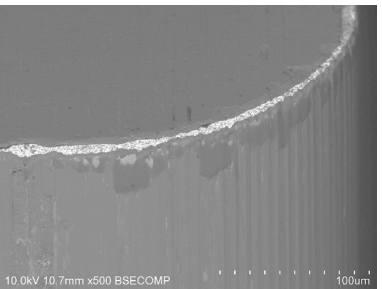
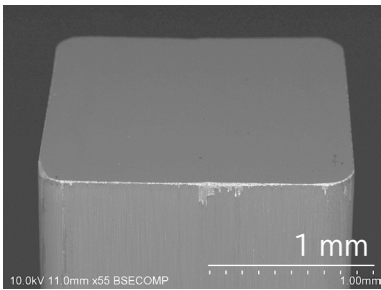
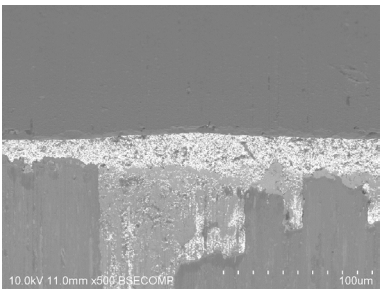
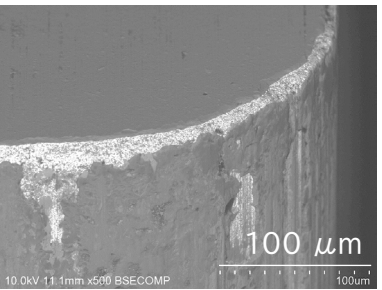
MS: Magnetron Sputtering



低電流・高電圧

放電電力密度: $1 \sim 10 \text{ W/cm}^2$

【被成形材】積層アモルファス(t=0.15mm)
【打抜き条件】ショット数:100k、スピード:200spm、クリアランス:10μm
【コーティング】成膜方法:アークイオンプレATING

	全体	領域1	領域2	領域3
窒化膜C (組成系Ⅰ)				
窒化膜D (組成系Ⅱ)				
窒化膜E (組成系Ⅲ)				

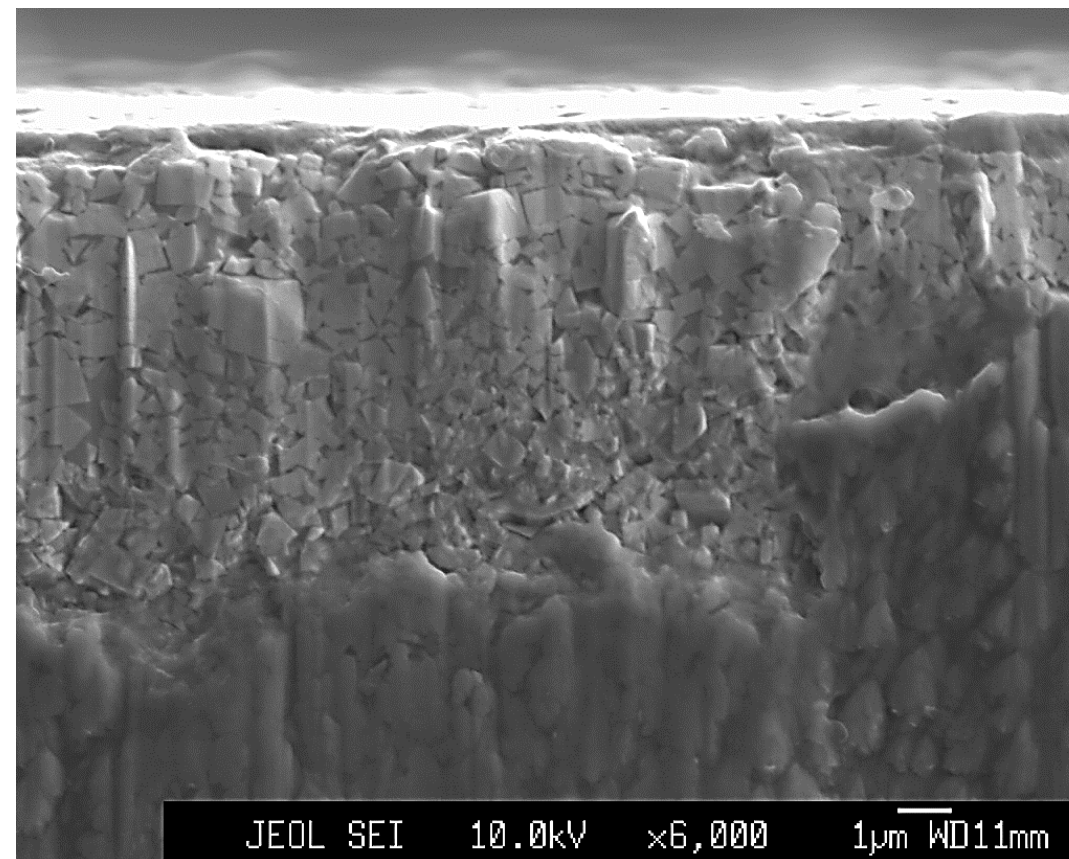
積層アモルファス(t=0.15mm)

【打抜き条件】ショット数:10k、スピード:200spm
【金型条件】クリアランス:10 μ m、リシャープ幅:0 mm



コルソン合金(t=0.10mm)

【打抜き条件】ショット数:100k、スピード:800spm
【金型条件】クリアランス:5 μ m、リシャープ幅:0 mm



PROTERIAL



2025年以降の次世代 半導体パッケージ 市場展望

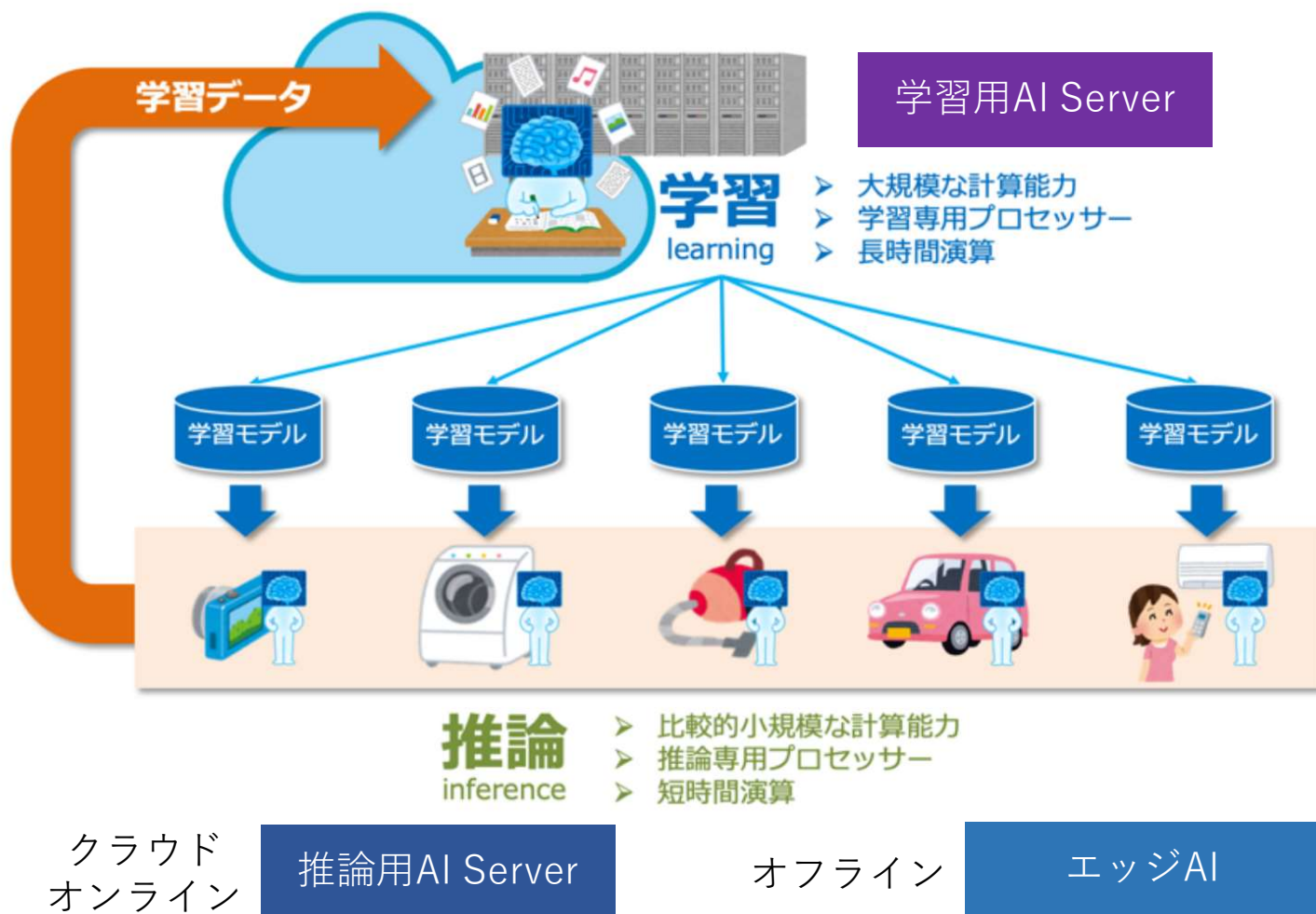
(株)富士キメラ総研
清水田 大典

dshimizuda@fcr.co.jp

I . 生成AIと半導体への影響

1.AIサーバー概況

1)AIの仕組み



「機械学習モデル」とは、機械学習において、入力データに対して結果(=出力)を導き出す仕組みのこと。

学習用サーバー：AI学習モデルを作成
推論用サーバー：作成学習モデル引き出す

AI学習モデルの性能がAIの差になるため、各社がこぞってAIの学習に力を入れている。

エッジAIは、オフラインでAIを作動するシステムと考えると分かりやすい。(オンラインでの動作向上の機能もある。)

↓

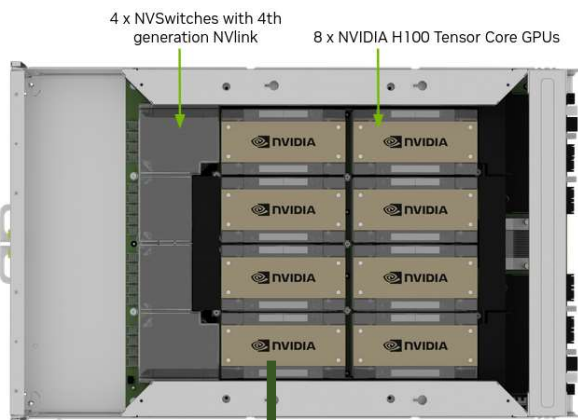
PC向けCPUやスマートフォンのAPの推論可能領域(主にGPUチップ部)に、どれだけ学習モデルを詰め込めるかで、オフライン時のAIの性能が決まる仕様。

2.AIサーバー採用半導体と特徴

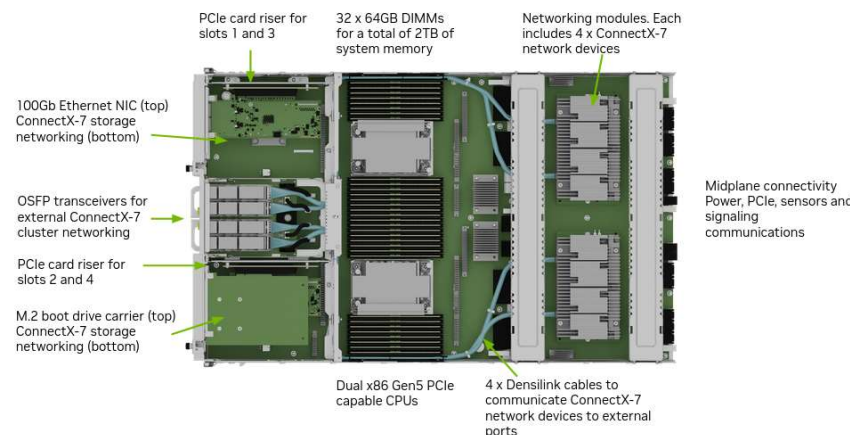
【学習用AI Server】

「DGX H-100」を下に記載。後継機の「DGX B-200」もほぼ同じ構造。

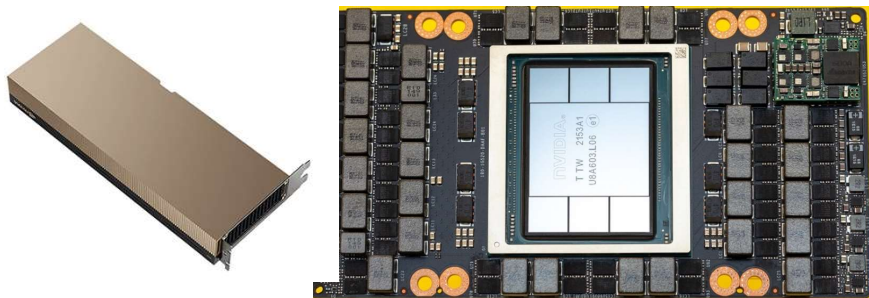
GPU Tray



CPU Tray



Accelerator Board

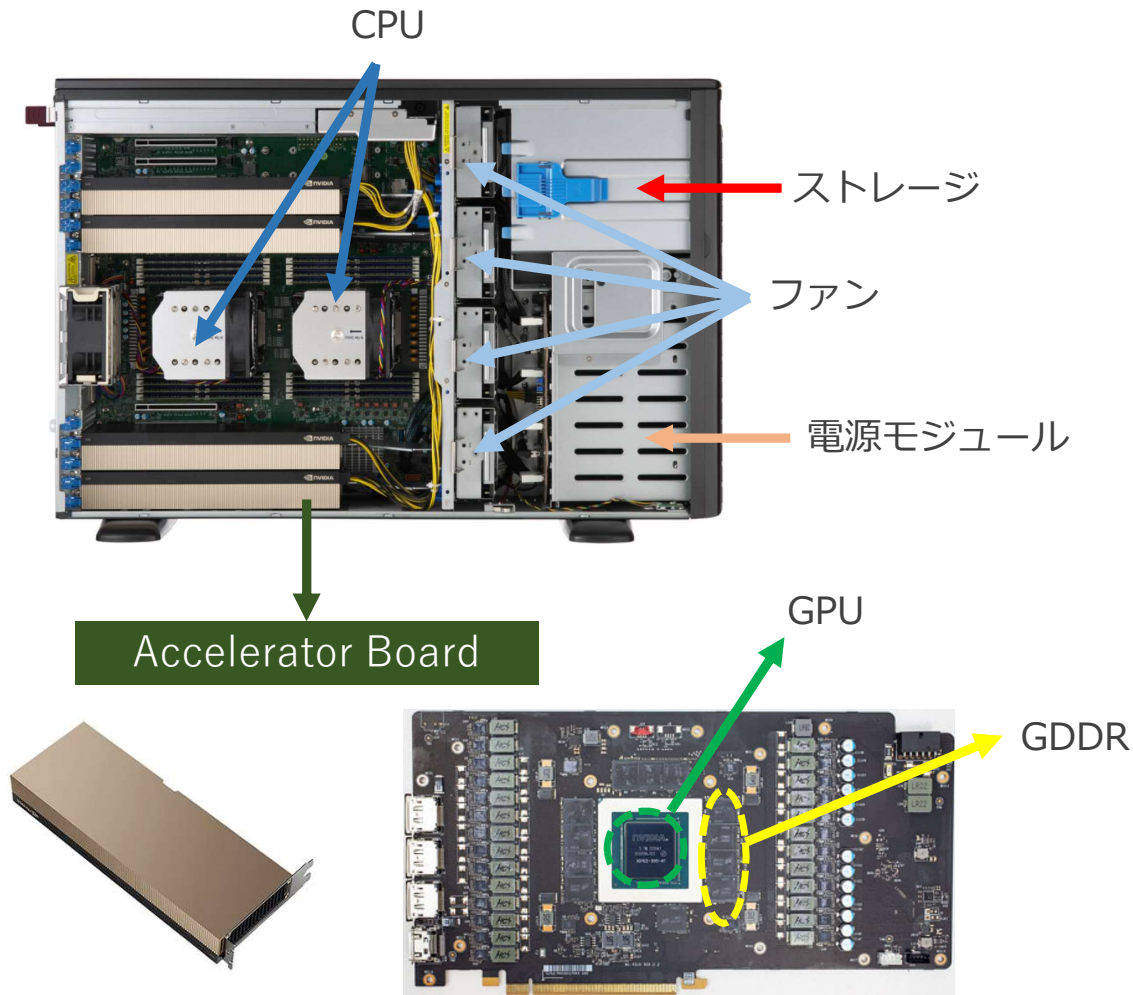


- ① AI Serverで最も重要なのは、AIチップの性能であり、HBM&2.5D PKG採用が大半。
- ② AI Serverの性能を決めるのは、AIチップの性能とそれらチップ接続のスピードとなる。そのため、高速対応Smart NICや高速対応サーバースイッチチップも急増中。
- ③ CPUの性能も必要であるが、GPU程は必要ない。各社のハイエンドCPUの採用が多い。
- ④ DRAMは大量に使用する。一部のメーカーでは、低消費電力化を進めるため、DIMMではなくLPDDR(CAAMモジュール)の採用を推進した設計も増えている。
- ⑤ SSDも同じく高速対応が必要。そのため、NANDコントローラーの高速化が著しく、現状はその性能に優れるSolidigm製のSSDがAIサーバー向け市場で非常に高いシェア。

2.AIサーバー採用半導体と特徴

【 推論用AI Server 】

汎用ServerのPCI ExpressにAccelerator Boardを挿入した製品が中心。



- ① 推論用AI Serverでは、非HBM搭載のAIチップ採用も多い。(L40Sなど)その場合、DRAMにはGDDRが用いられる。推論用であっても、HBM搭載AIチップが有利であるため、ハイパースケーラーは、HBM搭載品採用も多い。
- ② 推論用AI ServerのCPUもハイエンドCPUの採用が多い。DRAM採用容量も多いが、学習用ほどではない。
- ③ 学習用AI Server程の高速ネットワークは要求されないケースが多い。(PCIe基準)
- ④ 汎用サーバーよりも劇的に消費電力および発熱が増加するため、ファンや電源周りが強化される。

3.AIサーバー市場動向

一般サーバー/メインフレーム											
出荷数量	(1,000台)	17,500	13,700	14,050	14,300	14,860	15,450	16,040	16,630	17,230	3.3%
	前年比(%)	-	78.3	102.6	101.8	103.9	104.0	103.8	103.7	103.6	
AI Server (推論/GPU Server)											
出荷数量	(1,000台)	400	800	1,200	1,750	2,300	2,800	3,300	3,700	4,200	26.7%
	前年比(%)	-	200.0	150.0	145.8	131.4	121.7	117.9	112.1	113.5	
AI Server (学習)											
出荷数量	(1,000台)	100	250	500	850	1,100	1,000	1,000	1,000	1,000	21.9%
	前年比(%)	-	250.0	200.0	170.0	129.4	90.9	100.0	100.0	100.0	
Total											
出荷数量	(1,000台)	18,000	14,750	15,750	16,900	18,260	19,250	20,340	21,330	22,430	6.2%
	前年比(%)	-	81.9	106.8	107.3	108.0	105.4	105.7	104.9	105.2	
AI Server (合計)											
出荷数量	(1,000台)	500	1,050	1,700	2,600	3,400	3,800	4,300	4,700	5,200	25.7%
	比率(%)	2.8	7.1	10.8	15.4	18.6	19.7	21.1	22.0	23.2	
AI Chip (アクセラレーターチップ)											
出荷数量	(1,000個)	3,100	6,100	10,800	15,400	18,400	20,300	22,200	24,100	25,700	23.9%
	前年比(%)	-	196.8	177.0	142.6	119.5	110.3	109.4	108.6	106.6	
Server CPU											
出荷数量	(1,000個)	33,000	28,300	30,100	32,100	34,400	36,000	37,700	39,300	41,100	26.7%
	前年比(%)	-	85.8	106.4	106.6	107.2	104.7	104.7	104.2	104.6	

4.Sever CPU市場動向

Server CPU Share

	2021	2022	2023	2024	2025	2026	2027
Intel	29,270	26,110	19,560	21,300	20,250	21,650	22,300
AMD	3,030	4,790	5,600	6,000	6,400	6,900	7,200
Amazon	1,250	1,250	1,400	1,450	1,500	1,550	1,600
NVIDIA				250	600	700	800
Ampere	820	1,030	950	900	850	800	700
China	210	620	1,130	1,700	2,000	2,400	2,800
IBM/Others他	320	300	260	300	500	1,000	1,600

Server CPU Roadmap

年次	2024	2025	2026	2027	2028
Intel E-Core P-Core	Grnite Rapids Sieera Forest		Diamond Rapids ClearWater Forest	Coral Rapids Rogue River Forest	Talladega Forest
AMD	Genoa/Bergamo ZEN4	Turin	Venice		
Amazon	Graviton4	Graviton5		Graviton6	
NVIDIA	Grace		Vera		
Ampere	Ampere One	Ampere One M	Ampere One MX	Ampere One A	
IBM	Power10/z16	Power11/z17			
Google	Axion				
Microsoft	Cobalt 100				
Arm/Meta		Start ⇒			
Hisilicon (HiSilicon)	Kunpeng 930/980	New (+HBM)	New (5nm?)		
Hygon (海光信息技术)	海光三号/四号	海光五号			
T-Head (平头哥半导体)	Xuantie C930				

- ① AI Serverが登場したことによる電力問題が懸念されている。非常に高消費電力であるAI Serverは、既存のデータセンターでは、電力供給および冷却システムが間に合わないことも多く、低消費電力化を求めてARMアーキテクチャCPUの評価が非常に高まっている。特に大手クラウドベンダーの内製化が進んでいる。
- ② そのため、Intelのシェアが非常に高い市場から大きな変化が起きており、Amazonを筆頭にクラウドベンダー内製化が進む見込みである。また、NVIDIAは自社GPUと組み合わせた「GB 200/300」の拡販を進めている。
- ③ 米中問題の影響もあり、中国メーカーの台頭も進んでいる。近年は、AI Server向けGPUの開発に最も注力しており、Server CPUの開発注力度は若干下がっているものとみられる。

5.AI Chip市場動向

AI Chip Share

	2021	2022	2023	2024	2025	2026	2027
NVIDIA	1,390	2,390	4,230	8,050	10,400	11,500	11,800
AMD	290	200	350	500	700	1,000	1,200
Google	300	1,000	2,100	2,200	2,400	2,500	2,700
Amazon			100	400	1,700	2,300	2,500
Intel	20	20	120	250	400	600	600
他	100	90	100	400	700	1,300	2,400

- ① 2024年で、NVIDIAが75%近いシェアを有している。今後、Googleに加えてAmazon、その他MetaやMicrosoftなどのクラウドベンダー内製増加が見込まれており、徐々にシェアを下げると思われる。
- ② AMDやIntelも出荷を伸ばしていくとみられるが、大きなシェア獲得まで至らない可能性も高い。
- ③ T-HeadやBaiduは、TSMCで前工程生産を行っていたが、2024年11月にストップがかかってしまったため、しばらく内製化が伸び悩むものとみられる。
- ④ 中国メーカーはSMICを採用するHiSiliconおよびHygonの出荷増が見込まれる。

AI Chip Roadmap

年次	2024	2025	2026	2027	2028
NVIDIA	B200	B300	Rubin 100	Rubin Ultra	
AMD	MI300	MI350	MI400		
Amazon	Inferentia2/Trainium2	Trainium3			
Google	TPU Trillium	TPU V6p			
Intel	Gaudi 3		Falcon Shores 2		
Microsoft	Maia100	Maia200			
Meta	MTIA2	MTIA3			
Hisilicon (HiSilicon)	Ascend 910B		Ascend 920		
Hygon (海光信息技术)	深算二号	深算三号			
T-Head (平头哥半导体)	含光900				
Baidu (百度)	崑崙3.0				

6.サーバー向け半導体製品トレンド

Server CPU Trend

年次	2024年	2025年	2026年	2027年	～2030年
概要					
パッケージサイズ ハイエンド	75mm角		100mm角	120mm角	
FC-BGA基板	有機コア			ガラスコア	
受動部品	On Board		コア内蔵		
対応速度 PCI Express	PCIe5.0 32Gbps		PCIe6.0 64Gbps		PCIe7.0 128Gbps
2.5Dパッケージ	「EMIB」			Siブリッジ	
3Dパッケージ	「3D V-Cache」 採用		2.5D+3D パッケージ		

AI Accelerator Trend

年次	2024年	2025年	2026年	2027年	～2030年
概要					
パッケージサイズ ハイエンド	75mm角	90mm角	100mm角	120mm角	
FC-BGA基板	有機コア			ガラスコア	
受動部品	On Board			コア内蔵	
対応速度 独自I/O	1.6Tbps		3.2Tbps		6.4Tbps
				CPO	
2.5Dパッケージ タイプ	Si	Siブリッジ		RDL	
サイズ(mm2)	3,400		4,700	7,700	10,000
対応HBM	HBM3E		HBM4	HBM4E	HBM(HB)

- ① 高性能化に伴うチップレット化が進み、パッケージサイズの拡大が進む見込みである。Server CPUでは、AMDに続きIntelでも2026年から3Dハイブリッドボンディングの採用が始まる見込みであり、AI Acceleratorでは、インターポージャーサイズ拡大に伴い、SiインターポージャータイプからSiブリッジへの移行が急速に進む見込みである。
- ② 半導体の消費電力増加に伴い、MLCCやCapacitor内蔵コアの需要が非常に高まっている。2026年頃からの採用が見込まれている。また、長ビアを避けるため、マルチレイヤーコアも2026年以降に増えていくものとみられる。ガラスコアは2027年頃からの登場、本格採用は2030年以降が見込まれている。
- ③ インターフェースの高速化も進んでいくとみられる。AIアクセラレーターでは、それに対応するためのCo-Packaged Opticsの採用検討も進んでいる。

7. エッジAI採用半導体と特徴

【 AI PC 】

Intel

Lunar Lake Allow Lake

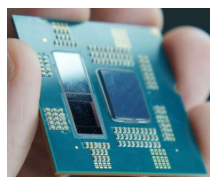


2027年

Panther Lake
Foveros Direct
(HB 3D)

AI-PC向けには2.5D (Foveros)を採用予定。2027年頃にはバンプピッチ9μm以下のHB 3D方式への移行を計画。

AMD



X3D Series
(HB 3D)



2025年
Ryzen AI Max Series



RDL Interposer

PC向けハイエンドにはTSMCのHB「SoIC」を採用した3D-Cash製品を展開。2025年には、ハイエンドAI向けCPUでRDLインターポージャー採用モデルも展開。

Apple



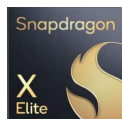
2025年



SoIC (HB 3D)

「M5」からTSMCのHB「SoIC」を採用予定。「M2 Ultra」ではSi Interposerも用いていたが、3Dに置き換え？

Qualcomm



FC-CSP



Snapdragon Xv3
FC-BGA

QualcommはハイエンドAPの設計思想で、FC-CSP基板を採用。将来的に性能向上を目標としてFC-BGAに変更となる予定。

2025年

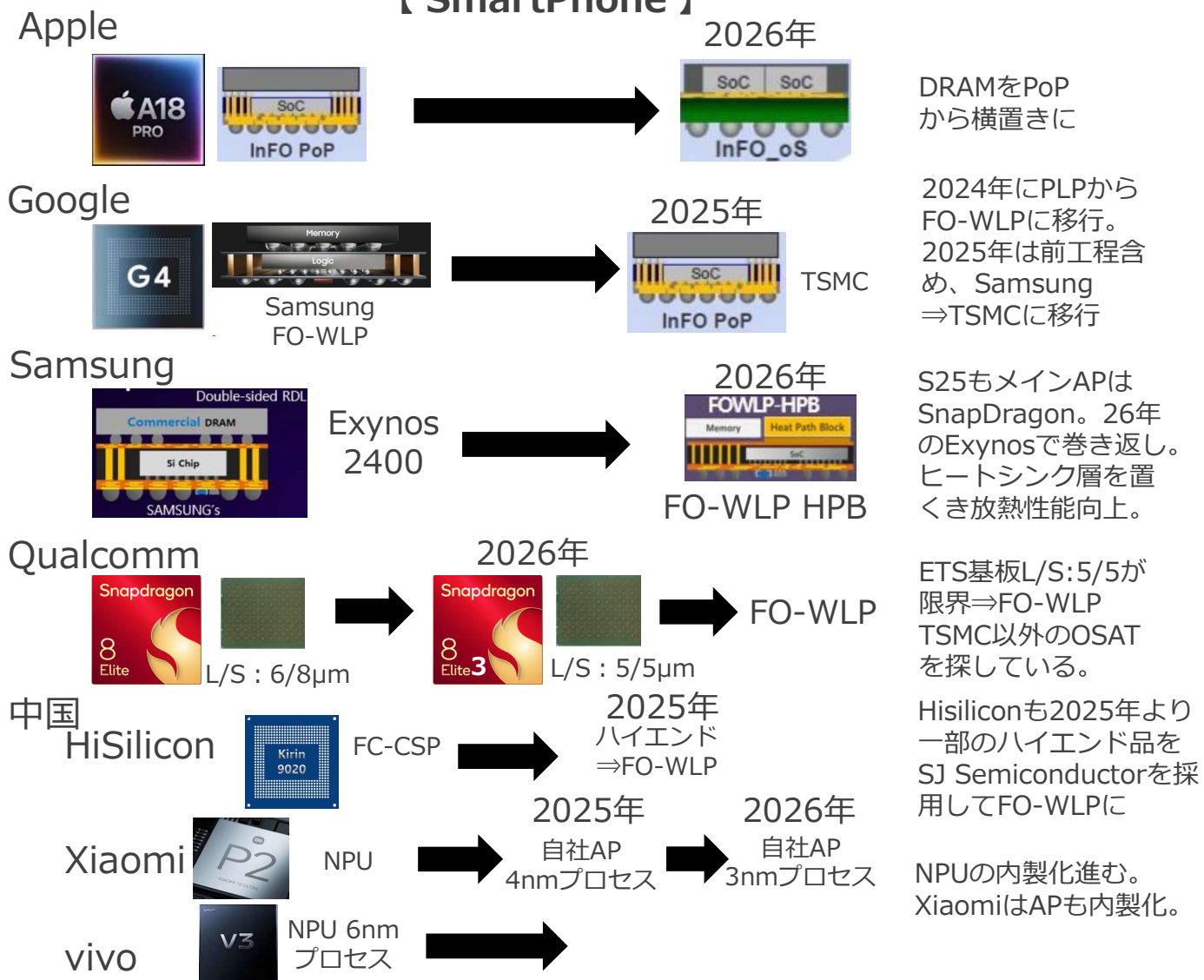
MediaTek &
NVIDIA



- ① AI PCでは、従来のCPUに加えてGPU/NPU部分の性能が重視される。そのため、CPUとGPU/NPUを微細プロセスを採用した別チップで生産し、狭バンプピッチで繋ぐアドバンスドパッケージの採用が増加している。
- ② Intelは、自社でCPUチップの生産を行っているが、GPUチップはTSMC生産であり、後工程で組み合わせて性能を出すため、2.5Dパッケージを積極的に採用。
- ③ AMDもTSMCおよびTFMEのRDLインターポージャーを用いた製品を2025年から展開。また、Appleは2025年からTSMCの「SoIC」を採用した製品を展開予定。
- ④ CPUにGPU/NPU性能が大きく要求され始めたことや、それに伴う低消費電力対応要求も強くなったことで、QualcommやMediaTek & NVIDIAも本格参入。

7.エッジAI採用半導体と特徴

【 SmartPhone 】

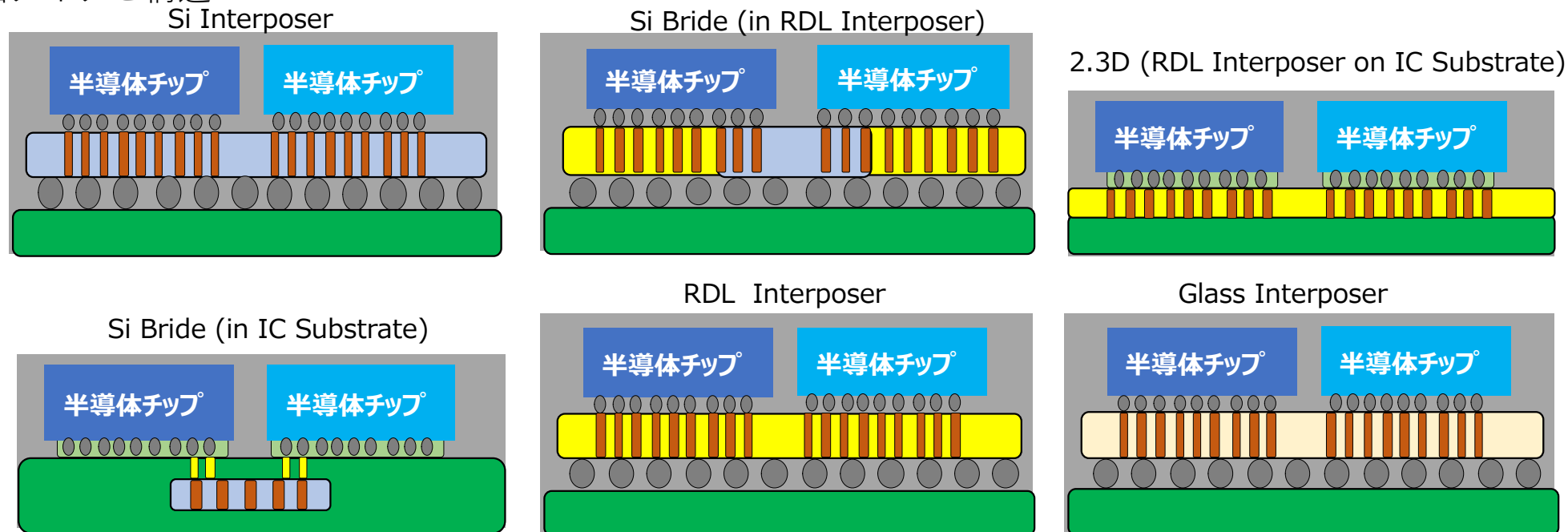


- ① AI Smart Phone時代になると、オフラインAIで何が出来るかが製品の差別化に。⇒独自チップ採用 or 独自学習モデル採用が進む。左記の自社AP開発と共に、自社でLLM生成も各社進めている。
- ② APの高性能化を進めるため、ピン数増加に伴うピンピッチの縮小が進み、ハイエンドはFC-CSPからFO-WLPに移行。
- ③ 中国勢が半導体内製化の動きを見せている。差別化を行うため、カメラ関連ICは自社製独自チップを採用するケースも。XiaomiはAPも自社製へ。一方でOPPOは米中問題を加味して'23年に自社開発ストップ。その代わり自社LLMモデルを強化中。
- ④ HisiliconはSMICの7nm生産能力をAPよりもサーバーCPUやAIチップに充てている。Huaweiブランド端末は売れるものの、Qualcommも使えず半導体が足りず24年：35M、25年：40Mとあまり増えない見込み。

II . Advanced PKG

1.2.5D PKG

1) 製品タイプと構造



■ : Siインターポージャー ■ : RDLインターポージャー ■ : ガラスインターポージャー ■ : FC-BGA基板

- ① 2.5Dパッケージは、HBMを中心としてピンピッチを狭くしてピン数を増加することでチップ同士のインターコネクト速度を上昇させたパッケージとなる。ピンピッチが狭くなると、その下のIC SubstrateのL/S微細化も必要とされるが、通常のFC-BGA基板では、L/S:2/2 μ m対応が難しいため、Siを中心としたインターポージャー基板を採用した構造が取られている。
- ② FC-BGA基板TSMCを中心としたSiインターポージャー、Intelを中心とした基板内蔵Siブリッジ(EMIB)が中心であったが、NVIDIAのB200からSiブリッジを有機RDLに内包させたSiブリッジタイプが増え始めている。将来的には、Siブリッジを用いないRDLインターポージャーの採用に向けた開発を進めている。

1.2.5D PKG

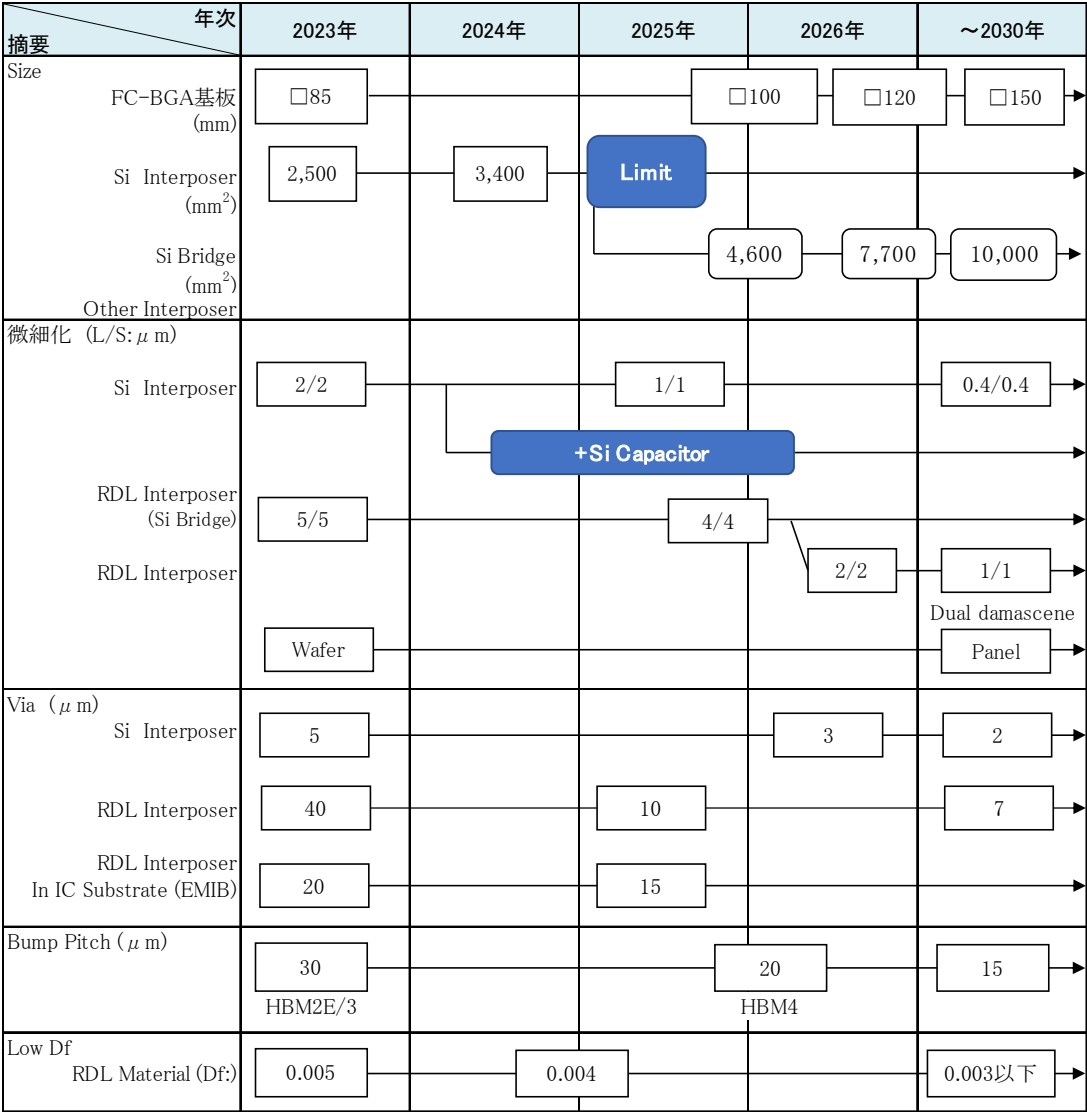
2) 製品タイプ別特長

Item \ Type	Si Interposer			RDL Interposer(Organic)		Glass Interposer
	Si Interposer	Si Bridge		RDL Interposer	On Substrate (2.3D)	
		RDL	IC Substrate			
L/S	◎	◎	◎	▲	▲	▲
Size	▲	○	◎	◎	◎	◎
Warpage	○	△	◎	▲	○	◎
Product of difficulty	◎	▲	▲	△	▲	○
BEOL of difficulty	○	▲	◎	△	◎	○

- ① 既存のSi Interposerから、Si Bridgeへの移行が進んでいる理由は、Interposerのサイズアップとなる。Si Interposerの生産はダマシン銅プロセス工程であり、ステッパーを採用した1レチクル：26×33mmであり、それを複数露光した3.5レチクルの3,400mm²製品まで生産を行っている。
- ② 4レチクル以上の製品を作成する際、コストの観点からSi Interposerで全てを作成するのではなく、その大きさのRDL Interposerを生産し、より微細L/Sが必要な部分のみ小さなSi InterposerであるSi Bridgeで補うSi Bridgeタイプへの移行が進む見込みである。
- ③ 将来的に、RDL InterposerでL/S:2/2μmやL/S:1/1μmが達成された際には、Si Interposerを用いないRDL Interposerへの切り替えも検討されている。同Interposerは60～80μmと薄いため、実装難易度を簡単にするため、IC Substrateメーカーが作成し、自社のFC-BGA基板と組み合わせて出荷するビジネスモデルも検討されている。
- ④ RDLインターポージャーをより平坦で強度を高め、伝送速度と実装難易度を下げることが目的としたガラスインターポージャーの開発も進められている。TGV工程が難しい&コストがかかるため、特別仕様の製品での採用が中心になるとみられる。

1.2.5D PKG

3) 技術ロードマップ



- ① 2024年に3,400mm²、2026年に4,600mm²、2027年に7,700mm²、のサイズアップが計画されている。100mm角以上の製品に向けた開発も行われている。
- ② RDLインターポージャー大型化のため、ウェハからの生産から600mm角のパネルタイプでの開発が進められている。2027年~2028年での量産が見込まれており、対応装置や対応材料の開発が急ピッチで進められている。生産難易度が高く、300mm角パネルでの開発も進められている。
- ③ Siインターポージャーでは、L/S:1/1μm以下が要求される。現状、L/S:0.8/0.8μmまで対応する装置が導入されており、将来的にはL/S:0.4./0.4μmの要求が出ている。
- ④ Siインターポージャーには、インターポージャーとしての回路機能に加えてSiキャパシタ機能の特性追加の要求も出ている。
- ⑤ RDLインターポージャーは、L/S : 2/2μmの製品が開発されている。微細化に向いているRDL 1st工法が中心となる。将来的には、L/S:1/1μmまでの開発要求が出ている。SAP工法でL/S:2/2μmが限界と考えられており、Siインターポージャーと同様のダマシン銅プロセス採用が検討されている。
- ⑥ RDLインターポージャーには、高速伝送をサポートするため、Df:0.004~0.005クラスのマテリアル特性が要求されている。今後、チップ間インターフェースの速度が向上するにつれ、SiインターポージャーよりもRDLインターポージャーの伝送特性のメリットが生きることもあり、Siインターポージャー代替としての微細L/S対応RDLインターポージャーの開発に期待が寄せられている。
- ⑦ SerDes 200Gbpsを超えるような製品に向けて、Df:0.002クラスの再配線材料の製品開発も進められている。

1.2.5D PKG

4) 材料&装置参入メーカーおよび技術動向

工程/部材	採用構成/プロセス材料	プロセス装置	技術トレンド
	主要参入メーカー	主要参入メーカー	
Si Interposer (Dual damascene)	液状レジスト	露光装置	・微細化(L/S:0.8/0.8μm≥) ・TSVはDRIEプロセス中心 →YAGレーザー採用の検討も
	JSR、東京応化工業	キヤノン、Veeco Instruments	
	-	シリコン深掘装置(TSV)	
	ダマシンCuめっき	サムコ、Lam Research	
RDL Interposer (SAP)	Moses Lake Industries	スパッタ/めっき装置	・微細化&そり対応(L/S:2/2μm) ・微細化対応(L/S:0.8/0.8μm)→ダマシンCuプロセス ・300mmウェハ→大型パネルに移行(2027年) ⇒露光装置はDIが本命視 ・大型パネル向け平坦スクリーン塗布装置(±4μm以下) ・非感光性再配線材料+ビア用レーザー+有機用CMP 採用
	再配線用絶縁材料	SPST Technologies、Applied Materials、Lam Research、アルバック	
	旭化成、FFEM、住友ベークライト、東レ	塗布装置	
	液状レジスト	東京エレクトロン、SCREEN、東レエンジニアリング	
	JSR、東京応化工業	露光装置	
	Cuめっき	キヤノン、AMAT、SCREEN	
2.3D/2.1D (RDL Interposer on IC Substrate)	Atotech、Dow、MacDermid	めっき装置	⇒露光装置はDIが本命視 ・大型パネル向け平坦スクリーン塗布装置(±4μm以下) ・非感光性再配線材料+ビア用レーザー+有機用CMP 採用
	キャリア	MacDermid、Atotech、JCU、Lam Research	
	日本電気硝子、三井金属鉱業	-	
	FC-BGA基板	-	
	新光電気工業、TOPPAN、SEMCO、Unimicron	-	
	ターゲット材	-	
Glass Interposer	JX金属、東ソー	スパッタ装置	・左記4社が特に積極的な開発 ・L/S:2/2μm対応→1/1μmも ・シード層スパッタで形成 →ダイレクトめっき工法も検討 ・2.3D基板に加えてOSAT事業を検討する企業も ・感光性絶縁材料 →層間絶縁材料の検討/開発も ・平坦性確保のため、有機用CMPスラリーを採用
	感光性絶縁材料	SPST Technologies、Applied Materials	
	旭化成、FFEM、住友ベークライト、東レ	露光装置	
	有機材料用CMPスラリー	キヤノン、AMAT、SCREEN	
Glass Interposer	トップインフォメディア、ニッタ・ハース	CMP装置	→ダイレクトめっき工法も検討 ・2.3D基板に加えてOSAT事業を検討する企業も ・感光性絶縁材料 →層間絶縁材料の検討/開発も ・平坦性確保のため、有機用CMPスラリーを採用
	フッ酸	Applied Materials、荏原製作所	
	ステラケミファ、ダイキン工業	レーザー装置	
	めっき/ペースト	Aq Laser、LPKF、ピアメカニクス、他	
Glass Interposer	上村工業、タツタ電線、Atotech、MacDermid	めっき装置	・マイクロクラックを避けるTGV →レーザー+ケミカルエッチング ・ピアススペクト比 20：1以上に対応するめっき/ペースト開発 ・再配線はRDLインターポザーと同工程
	ガラス	MacDermid、Atotech、JCU、Lam Research	
	AGC、Schott、日本電気硝子、東レ	露光装置	
Glass Interposer		キヤノン、AMAT、SCREEN	

1.2.5D PKG

4) 材料&装置参入メーカーおよび技術動向

工程/部材	採用構成/プロセス材料	プロセス装置	技術トレンド
	主要参入メーカー	主要参入メーカー	
Temporary Bonding/DeBonding	ガラスキャリア	キャリア剥離装置	・ガラス→セラミックキャリア変更 (使用回数の増加) ・ガラスキャリア+レーザー剥離増加 ・工程複雑化に伴う仮接着材料の耐薬液性や耐熱性
	日本電気硝子、三井金属鉱業	AIメカテック、東京エレクトロン、 SUSS MicroTec、EV Group	
	仮接着材料		
	東京応化工業、積水化学工業、日産化学		
Bonding	アンダーフィル(CUF)	フリップチップボンダー	・高精度ボンディング(±3→±1.5μm) ・低背フィラー採用CUF(0.6μm≧) ・CUF→MUFへの切り替え検討
	ナミックス、レゾナック、信越化学工業	芝浦メカトロニクス、ASMPT、Besi、 東レエンジニアリング	
Molding	半導体封止材	モールドイング装置	・顆粒タイプの粉塵低下(納入形態をボトルに変更) ・MUF対応 ・そり低減に向けた密着力向上
	住友ベークライト、ナガセクムテックス	TOWA、アピックヤマダ	
Mold Grinding	バックグラインドテープ	グラインダー	・樹脂封止時の形状対応 ・CMPはAppleのみ採用(微細化対応)
	三井化学ICTマテリア、リンテック	ディスコ、東京精密	
	CMPスラリー	CMP装置	
IC Substrate	DuPont	Applied Materials	・Siインターポーザー低振動搬送 ・微細ビア対応30μm→25μm ・ビア穴めっき→Agペースト検討 ・ABFビア30μm以下対応
	FC-BGA基板	ビア開けUVレーザー装置	
	イビデン、新光電気工業、Unimicron、AT&S	三菱電機、ピアメカニクス	
	Cuめっき	めっき装置	
	Moses Lake Industries、Atotech、上村工業	Atotech、上村工業、Lam Research	

1.2.5D PKG

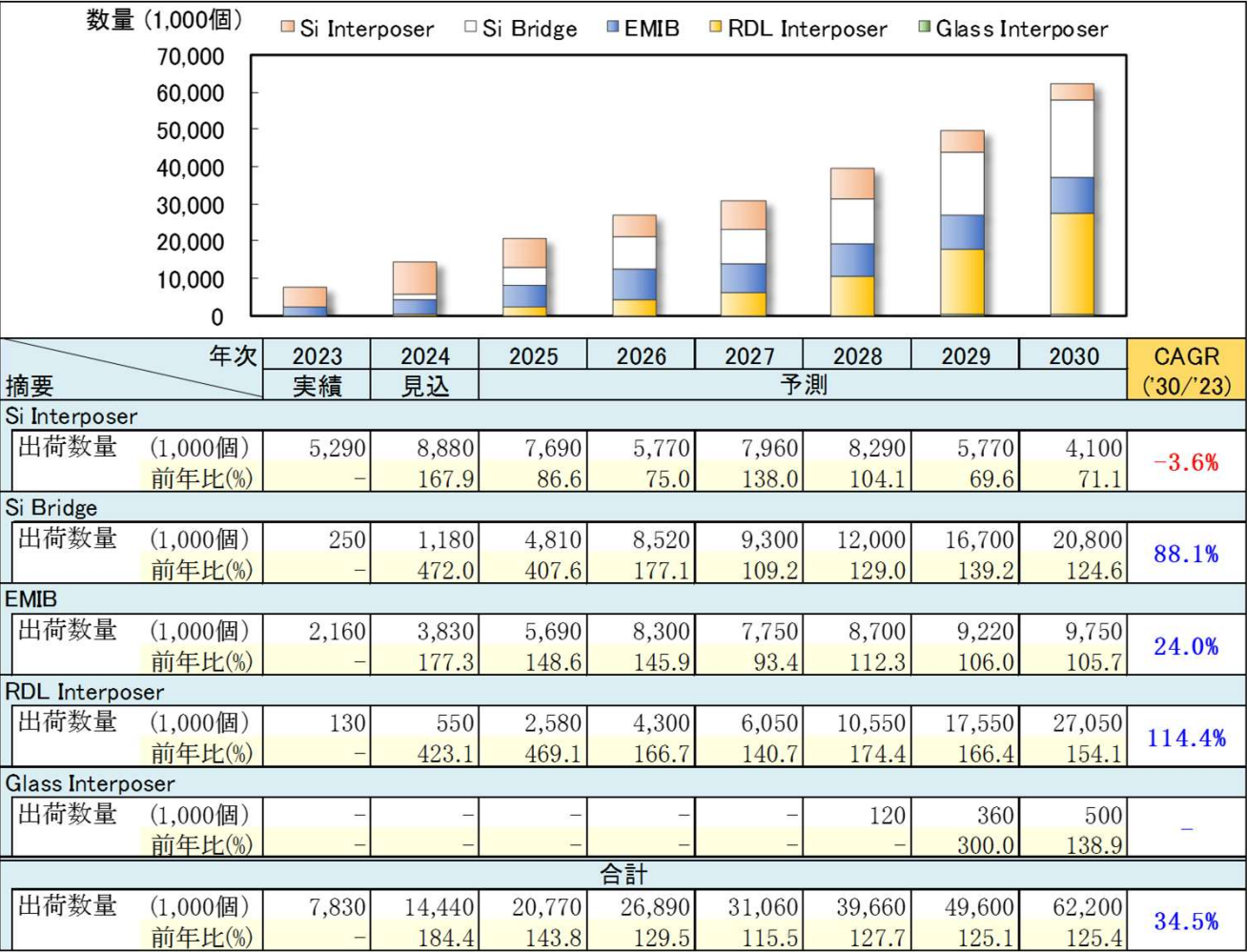
5) 参入メーカー一覧

Company		Type			User (2024)	
Category	Campony	Si Interposer	Si Bridge/EMIB	RDL Interposer	Type / User	
IDM/ Foundry	Intel	-	EMIB	PLP(600×600mm)	EMIB	Intel(Server CPU、AI)、Amazon(AI)
	TSMC	CoWoS-S	CoWoS-L	InFO oS、InFO-SoW PLP (300×300mm)	Si	NVIDIA(AI)、AMD(AI)、Amazon(AI)、Google(AI)、 Intel/Habana(AI)、Broadcom(通信)、Apple(PC CPU)
					Si Bridge	NVIDIA(AI)
					RDL	AMD(PC CPU/GPU)
	Samsung El.	i-Cube 4、H-Cube	i-Cube E	R-Cube、PLP (510×515mm)	RDL(PLP)	開発中('27~'28)
					Si	NVIDIA(AI)、Baidu(AI)
	Rapidus	-	-	PLP (600×600mm)	RDL(PLP)	開発中('26~'27)
OSAT	SK hynix	DBI Ultra		-	RDL(PLP)	開発中('27~'28)
	UMC	○	-	-	Si	開発中('26)
	ASE/SPIL	○	FOCoS-B、EFB(AMD)	FOCoS、PLP(600×600mm)	Si	Interposer supply
					RDL(PLP)	AMD(AI)、NVIDIA(AI)
	Amkor	2.5D CoW、 2.5D CoS、SLIM	SWIFT	HDFO、PLP(600×600mm)	Si	開発中(注力度低め)
					RDL(PLP)	NVIDIA(AI)、Google(AI)
	JCET	○	DBI Ultra	XDFOI	RDL	HiSilicon
PCB/ Others	TFME	○	eSiFO	FOPoS	RDL	AMD(PC CPU/GPU)
	Huatian	-	-	○	Si	HiSilicon
	SJ Semiconductor	○	-	○	Si	HiSilicon
	新光電気工業	-	-	2.1D/2.3D (510×515mm)	2.1D/2.3D	開発中('26)
	大日本印刷	-	-	PLP/Glass (510×515mm)	RDL(PLP)	開発中(注力度低め)
	シャープ	-	-	PLP (600×600mm)	RDL(PLP)	開発中('28)
	JDI	-	-	PLP (600×600~730×920mm)	RDL(PLP)	開発中('28)
	TOPPAN	-	-	Glass (510×515mm)	Glass	開発中('28)
	Absolics	-	-	Glass (510×515mm)	Glass	開発中('28)
	SEMCO	-	-	2.1D/2.3D (510×515mm)	2.1D/2.3D	開発中('26)
	Unimicron	-	-	2.3D/Glass (510×515mm)	RDL(PLP)	開発中('26)
	Innolux	-	-	PLP/Glass (600×600mm)	Glass/PLP	開発中

- ① NVIDIAは、TSMCをメインとしてAmkorを2ndベンダーにしている。しかし、各社の生産能力が足りないこともあり、旧製品に関してはSamsung El.やASEも生産を行っている。2026年の新規モデルより、ASE(SPIL)を2ndベンダーとする計画を立てている。
- ② 各社共にPLPの開発を進めている。PCBメーカーでも開発を行っているメーカーが多い。当初は600mm角での生産検討を行うメーカーが多かったが、生産難易度が高いことから、サイズダウンでの生産を計画している企業も多く、510×515mmで立ち上げを計画している企業が多い。TSMCもまずは300mm角パネルで立ち上げ、その後にサイズアップを計画している。
- ③ 現状、RDLインターポージャーを採用しているAppleは、2025年より3Dパッケージの採用を計画している。

1.2.5D PKG

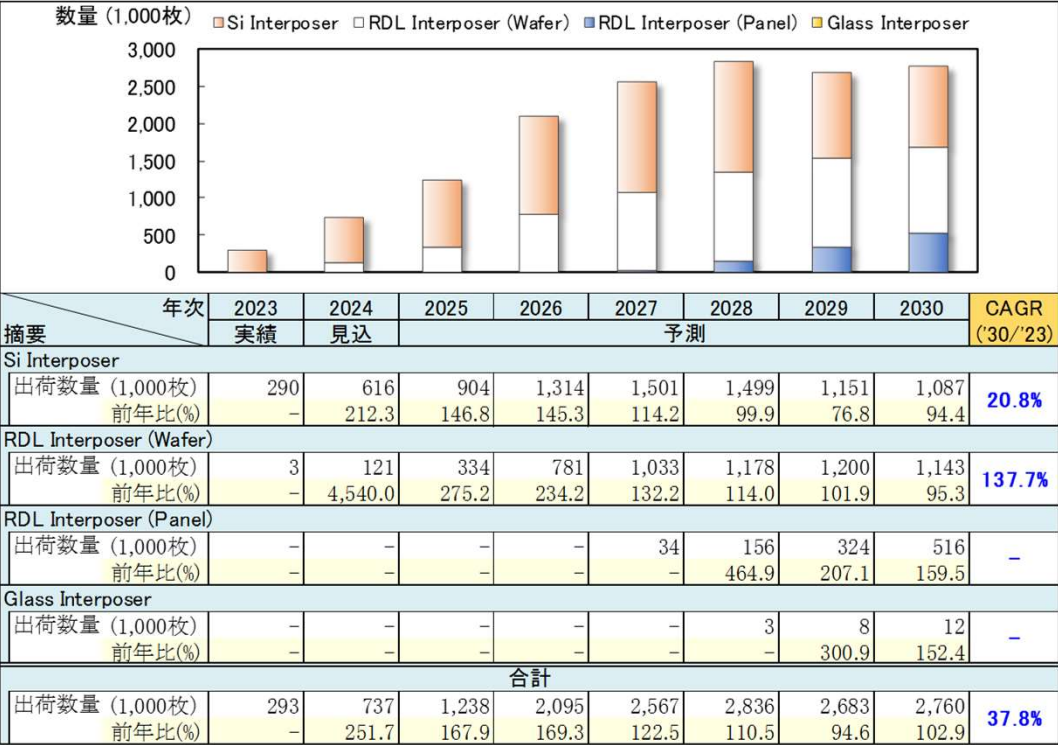
6) 市場動向



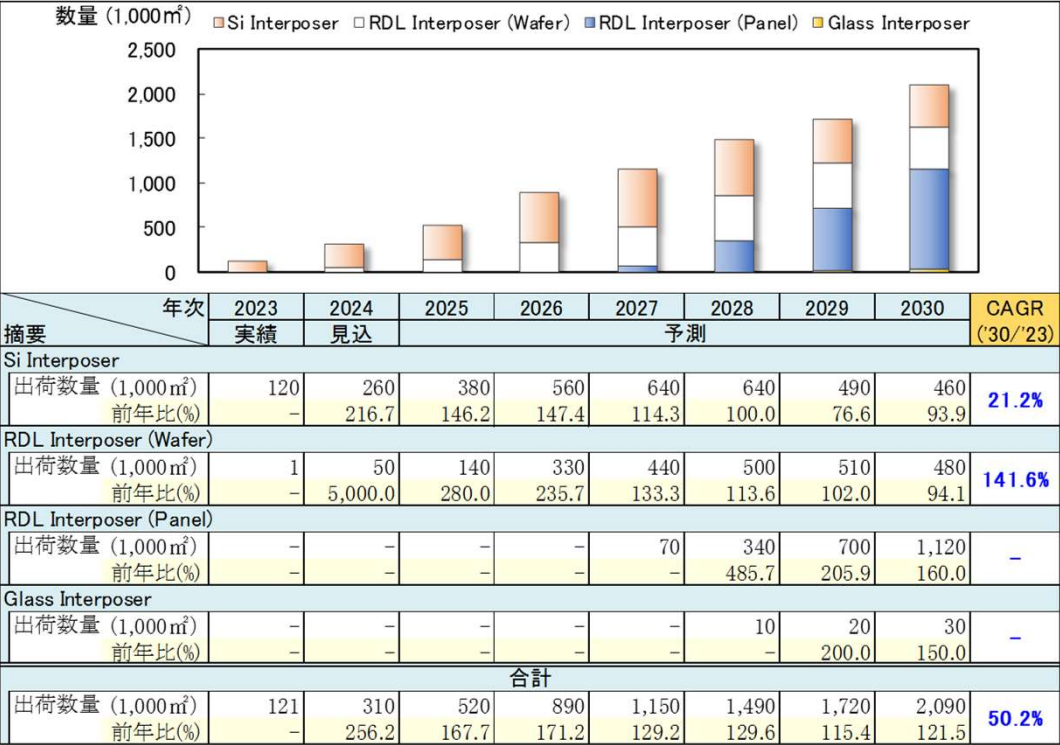
- ① 2.5Dパッケージの採用が最も多い用途はAIアクセラレーターチップである。HBMを搭載する製品が多いため、2.5Dパッケージが採用される場合が多く、今後もAI需要の拡大に伴い大幅な市場拡大が予測される。
- ② AIアクセラレーターチップ向けは、2024年下期からGPU/ASICのチップレット化やHBMの搭載数増加による大型化に対応するため、ハイエンド製品からSiブリッジタイプへの切り替えが進む見通しである。
- ③ サーバー向けCPUもチップレットの高速化を図るため、基板内蔵SiブリッジタイプであるIntelの「EMIB」を中心に採用が進んでいる。今後もIntelが「EMIB」の採用レンジを拡大するほか、Intel以外のメーカーがチップレット同士の接続速度向上を進めるためにRDLインターポーザーなどを採用していくとみられ、2.5Dパッケージへの切り替えが進んでいくと予測される。
- ④ そのほか、GPUや車載SoC、スイッチICなどでの採用増加期待される。RDLインターポーザーの低価格化が進むことで、民生機器向けの市場も拡大する見込みである。RDLインターポーザーは、L/S微細化が2/2以下は難しいことから、ハイエンドのAIアクセラレーターチップの採用は、Siブリッジタイプが2030年まで主流になると予測した。
- ⑤ ガラスインターポーザーは、2028年頃からの採用が見込まれている。CPOを採用した通信機器ICやAIアクセラレーターチップなどを中心に採用が進む見込みである。

1.2.5D PKG

7) 面積/ウェハ別市場動向

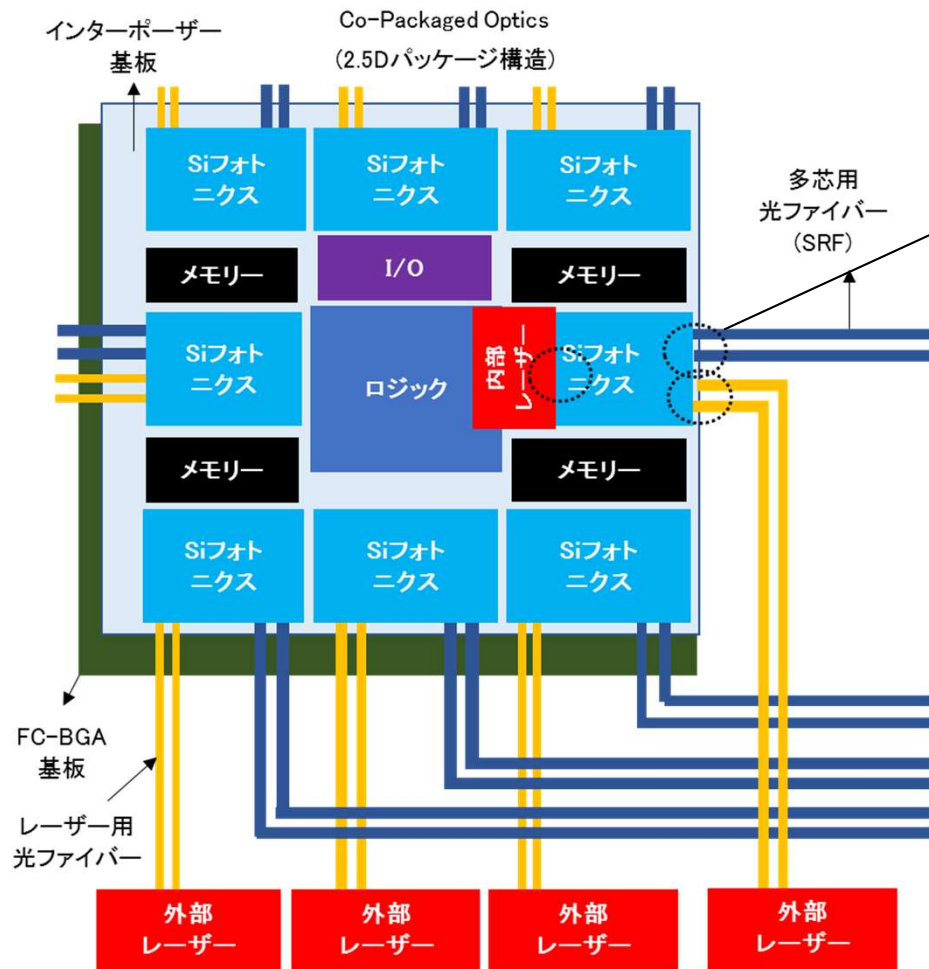


※Panelに関しては、600×600mmを1枚として計算した。

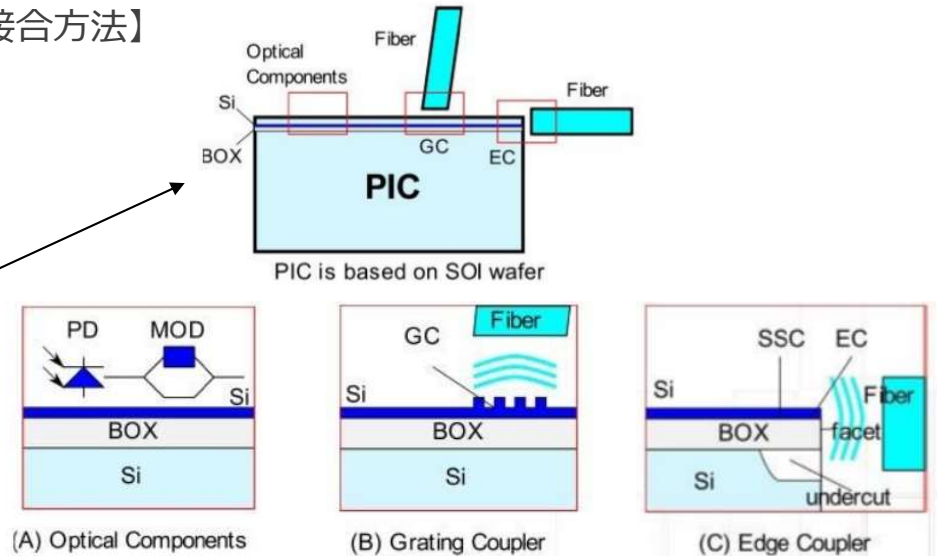


2.CPO

1) 製品タイプと構造



【導波路接合方法】



- ① Co-Packaged Opticsは、半導体パッケージ内にICと光通信デバイスである光トランシーバーを内蔵したパッケージとなる。通常、ICと光トランシーバーは、メイン基板上の高速電気伝送で接続されているが、伝送速度の高速化で、低消費電力化や低データ損失を目的として電気伝送の距離をなるべく短くすることを目的としたパッケージとなる。
- ② 小型Siフォトニクスに光ファイバーを接続させるための位置合わせと実装が非常に難しく、さまざまな方式を採用しての開発が進められている。
- ③ シリコンフォトニクス導波路と光ファイバーとの接続には、A.光導波路ポリマーやガラス導波路を用いたオリジナルコネクタの作成、B.回折格子であるグレーティングカップラを用いた接合、C.光スポットの違いを変換する光スポット素子(SSC)を作成しての光導波路-光ファイバーの端面接続の3種類が検討されている。

2.CPO

2) 製品タイプ別特長

L/S \ Type	Type	
	External Laser	Internal Laser
光ファイバー接続数(実装難易度)	△	○
半導体パッケージ発熱	○	△
レーザー不良対応(交換可)	○	×
レーザー交換	○	×
開発/量産メーカー	Broadcom、Cisco	Intel、Marvell、AMD、NVIDIA、NTT

- ① 光トランシーバーは、レーザーを発信して光通信を行う。レーザー光源を内部に置く製品と外部に置く製品の2パターンの構想が出ている。内部レーザーの場合、発熱やそれによるレーザーの故障、外部レーザーの場合、光ファイバーとの接続点数の増加に伴う実装難易度向上の欠点がある。
- ② どちらのタイプの製品開発も進められている。BroadcomやCiscoは外部レーザー、IntelやNVIDIAなどAyar Labsとの協業を主に行っている企業は内部レーザーの開発に積極的である。AMDは、現状内部レーザーの開発を進めているが、外部レーザーも検討している。
- ③ Broadcomは、「Tomahawk 4」と組み合わせたCPOまでは内部レーザーであったが、「Tomahawk 5」と組み合わせた製品から外部レーザーの採用に切り替えている。将来的に、また内部レーザーに戻す開発も進めている。
- ④ 内部/外部レーザー共に壊れた際を想定して、予備レーザーも搭載する設計が想定されている。また、壊れにくいレーザーとしてQDレーザーの採用検討/開発も進められている。

2.CPO

3) 技術ロードマップ

年次	2023年	2024年	2025年	2026年	~2030年
摘要					
SiPH					
Co-Packaged Optics	Mass production begins				Full swing
Rapids(Gbps)	800	1,600			3,200 ≦
1Rane(Gbps)	112	224			300以 ≦
Modulator	Si		InP		InP EO Polymer
Laser					
(mW)/(W)	WDM 286/18		DR 100/4		DR 100/3 ≧
Alternative to DFB				QD/Membrane Laser	
Size (mm)					
PKG Size	85角	100角			150角 ≦
SiPH	4個	8個			8個
IC Substrate/Interposer					
ABF(Df)	0.0023				0.0015 ≧
Core(Dk)	4			3.5	2.5 ≧
Interposer	Si/RDL				Glass

- ① シリコンフォトニクス的高速対応化に応じて、Si変調器のSiからの移行が進んでいる。1レーン速度が100Gbps以上でInPの化合物に切り替わっている。200Gbps超となる2026～2027年頃には、EOポリマーの採用検討も行われている。Co-Packaged Opticsが増えてくるタイミングは、200Gbpsを超える速度になった時点と想定される。
- ② Co-Packaged Opticsの消費電力の70%がレーザー光源部となるため、レーザーの低消費電力化開発が進められている。DR方式のレーザーには100mW出力が要求されており、同出力を維持したままの低消費電力化の開発が進められている。
- ③ 内部レーザーを中心に、熱に強く壊れにくいQDレーザーやメンブレンレーザーの採用検討/開発が進んでいる。
- ④ 高速化に伴う基板の低誘電対応が進んでいる。層間絶縁材料にはDf:0.0015以下の要求が出ており、エポキシ以外の樹脂を用いた製品開発が進められている。
- ⑤ コア材料にも低誘電率化の要求が強まっている。コア自体の低誘電化よりも平坦性による伝送損低減の要求が強く、反りに強いガラスコアの採用も進むとみられる。
- ⑥ インターポーザーにも低誘電対応要求や平坦性要求が強い。RDL形成用再配線材料にDf:0.002以下の要求も出ている。また、内部レーザーの採用などによる熱対策も含め、ガラスインターポーザーの採用検討も進められている。

2.CPO

4) 材料&装置参入メーカーおよび技術動向

工程/部材	採用構成/プロセス材料	プロセス装置	技術トレンド
	主要参入メーカー	主要参入メーカー	
Wafer	300mmウェハ	-	・ウェハサイズ：100/200→300mm ・プロセスノード：130/90→45nm ・旧世代ライン転用
	信越化学工業、SUMCO		
Modulator	InPウェハ(Ⅲ-V属)	-	・変調器素材変更 Si→Ⅲ-V属ハイブリッド Si→EOポリマー
	住友電気工業、JX金属		
	EOポリマー		
Laser	日産化学、東京化成工業、ほか	-	・ブラインドメイト型外部光源 ・低消費電力 & 高放熱構造 ・既存光源→QDレーザー
	TOSA DFBレーザー		
	古河電気工業、ほか		
Glass Core/ Interposer	QDレーザー、メンブレンレーザー	-	・2.5D向けインターポザー基板 ・Si→ガラスの検討も。 ・FC-BGA基板向けガラスコアの採用検討。
	アイオーコア、NTT、ほか		
	ガラスコア/インターポザー		
Bonding	-	フリップチップボンダー	・高精度ボンディング(±0.5μm)
		芝浦メカトロニクス、ASMPT、Besi、 Smart Equipment Technology	
Fiber Connection	UV硬化樹脂/接着剤	UV硬化装置	・UV硬化樹脂/接着剤でスポットサイズ変換器 (SSC)を作成
	NTTアドバンステクノロジー、協立化学産業、Henkel、 Electronic Materials、ほか	パナソニック インダストリー、オムロン、ほか	
	SiO2ターゲット材	-	・SiO ₂ 膜を採用したグレーティングカブラ作成 ・光学レンズの実装
	アルバック、東ソー、高純度化学研究所、ほか		
	回折光学用レンズ	-	・光導波路ポリマー実装 ・FC-BGA基板との一体化
	エンブラス		
	光導波路ポリマー	-	
	AGC、日産化学、日東電工、Dow		

2.CPO

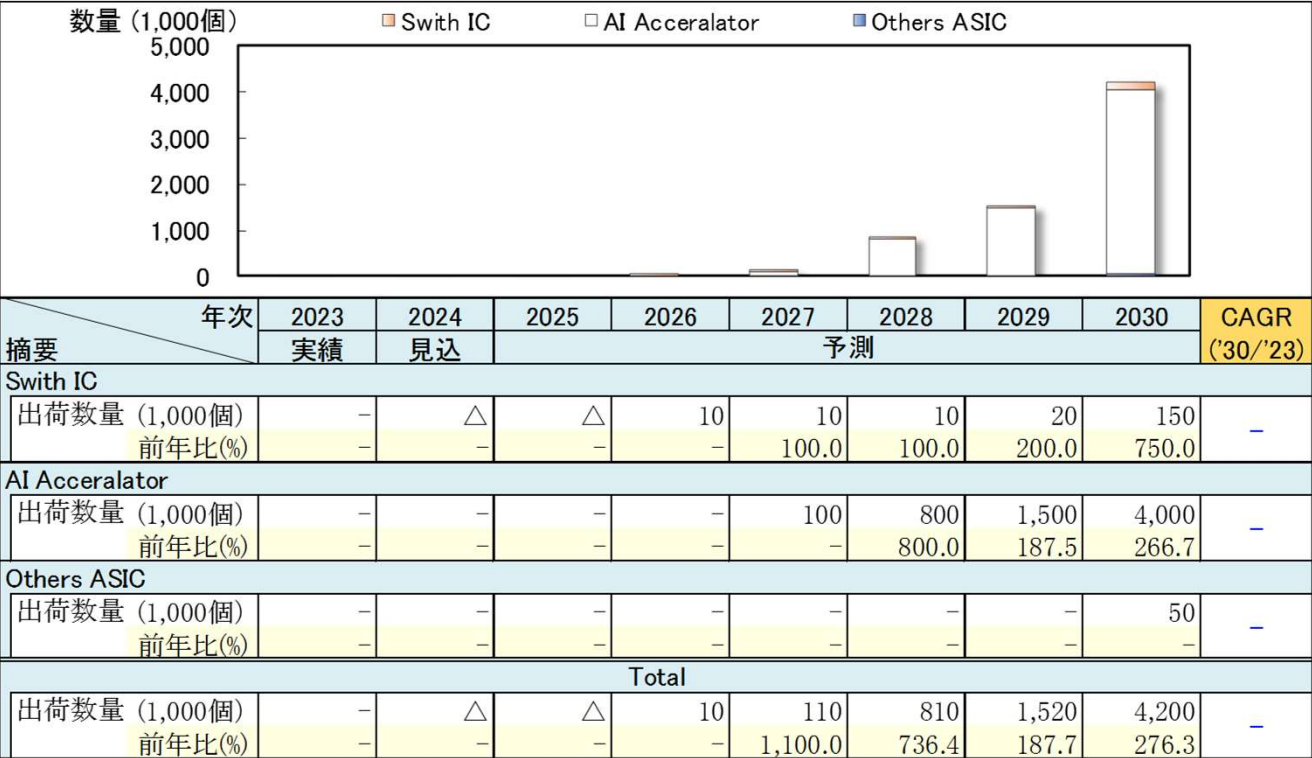
5) 参入メーカー一覧

Company		Connecting Type	Laser	User
Si/CPO Maker	User			
Ayar Labs	Intel/NVIDIA	独自コネクタ/グレーティング	内部	開発中('26)
Broadcom	内製	独自コネクタ(ガラス導波路)	外部	Tencent
Cisco	内製	独自コネクタ	外部	開発中('26)
Huawei	内製	-	-	-
IBM	内製	独自コネクタ(ポリマー/V溝)	内部(VCSEL)	開発中
Intel	内製/Ayar Labs	独自コネクタ(ガラス導波路)	内部(QD)	開発中('26)
Marvell	内製	エッジ/カプラー	外部	開発中('27)
NTT	内製	独自コネクタ(ポリマー導波路)	内部(メンブレン)	開発中('28)
RANOVUS	AMD/MediaTek	独自コネクタ(V溝)/グレーティング	内部	開発中('26)
TSMC	NVIDIAほか	エッジ/カプラー	?	開発中('26)
Samsung El.	?	?	?	開発中('27)

- ① Broadcomが「Tomahawk」シリーズに採用しているものの、出荷量は少なくTencentなどの一部のユーザーのみの採用に留まっている。スイッチICでの本格採用はまだ先で、各社2026～2027年頃にAIアクセラレーターチップやASICと組み合わせての採用を本命視している。
- ② NVIDIAは、TSMCをメインとしてAmkorを2ndベンダーにしている。しかし、各社の生産能力が足りないこともあり、旧製品に関してはSamsung El.やASEも生産を行っている。2026年の新規モデルより、ASE(SPIL)を2ndベンダーとする計画を立てている。
- ③ 上記の他、FoundryではGlobal Foundriesの実績が非常に高い。主にSiPHの生産を目的としたビジネスを今後も進める見込みである。OSATでは、AmkorやASEが同分野に積極的な動きを見せている。

2.CPO

6) 市場動向



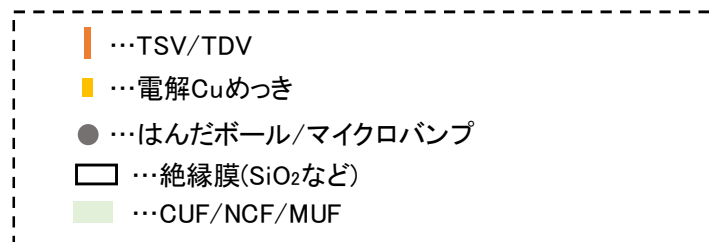
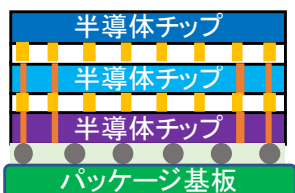
- ① スイッチICのCPOは、Tencentなど一部のデータセンターで採用されているものの、本格採用には至っていない。以前は、1レーン速度が200Gbpsの1.6Tbpsの世代となる2026年頃からの導入が進むと想定していたが、PLOの光トランシーバーを用いた低消費電力化などでプラグブル光トランシーバーの採用が引き延ばされるとみられ、CPOへの切り替えは、3.2Tbps以上の速度が採用される2030年頃に本格化する見通しである。
- ② AIアクセラレーターチップの相互伝送の高速化が進んでいる。2024年に双方向で1.8Tbps、次世代と想定される3.6Tbps対応品も2026年頃の登場が見込まれている。3.6Tbpsあるいは、その次の規格の高速伝送をサポートする際にCPOの採用が見込まれている。
- ③ 2026年～2028年頃よりAIアクセラレーターでCPU採用が進むとみられる。高速伝送実現に加え、高騰する消費電力および熱対策を解決する策としてCPOの採用検討が進んでいる。
- ④ スイッチIC向けCPOのSiフォトリソ搭載数は4～8個、AIアクセラレーター向けは、1～2個程度になるものとみられる。
- ⑤ その他用途では、6.4Tbps対応の長距離伝送用やルーター用のICなどで同様に高速通信向けの採用が検討されている。

3.3D PKG

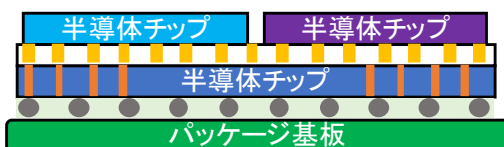
1) 製品タイプと構造

【Hybrid Bonding】

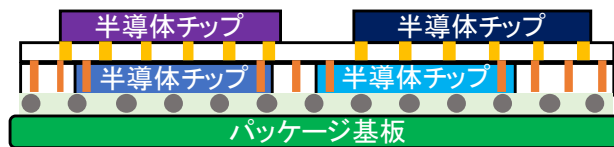
WoW (イメージセンサー)



CoW (ロジック)



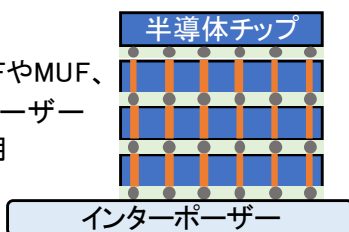
CoC (ロジック)



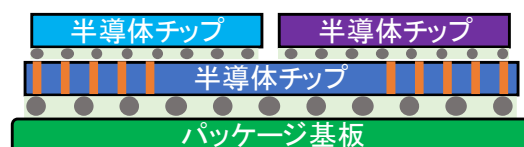
【μ Bump】

HBM

チップ間にはNCUFやMUF、
チップ-インターポザー
間にはCUFを使用



Foveros



- ① チップとチップをTSVおよびバンプ、あるいはCuで接続し、チップを縦にスタックすることで複数チップを1パッケージに納めた3Dパッケージを対象とした。チップスタックした後、チップ間の接続は行わずにワイヤボンディングでパッケージ基板を通じて接続するNANDやDRAMなどで用いられているパッケージとは異なる。
- ② 複数枚のチップを横置きでパッケージ基板を通じて伝送を行うマルチチップパッケージや2.5D パッケージと比較して、より高速伝送や低消費電力化が可能な点、基板サイズの縮小などによるサイズダウンが可能となる点が同パッケージ採用の利点となる。
- ③ 下記のマイクロバンプと比較して、上記のハイブリッドボンディングがより、微細なバンプピッチでの接続が可能となる。特にWoWで用いられることが多く、イメージセンサーやNANDでは同技術の採用がかなり進んでいる。

3.3D PKG

2) 製品タイプ別特長

タイプ 摘要	ハイブリッドボンディング		マイクロバンプ
	WoW	CoW	
バンプピッチ	◎	◎	○
伝送速度	◎	◎	○
放熱性能	◎	◎	○
積層容易性	○	▲	◎
異種チップ積層	▲	◎	◎
コスト	○	▲	◎
採用用途	イメージセンサー、 3D NAND	CPU、AI アクセラレーター	HBM、 CPU、AI アクセラレーター

- ① Cu-Cuのダイレクト接合を行うハイブリッドボンディングでは、Wafer on Wafer(WoW)でスタックされた後にダイシング→パッケージング工程を行うケースが多い。積層が比較的容易であるが、ほぼ同サイズのチップを積層しなければならない。縦に3枚積層した製品も出荷されている。
- ② Chip on Wafer(CoW)のハイブリッドボンディングに関しては、WoWと比較して接合難易度は上昇するもの、サイズの異なるチップの積層が可能となるため、設計の自由度が高まる。ロジックデバイスにおけるハイブリッドボンディング適用製品では、CoWが基本構造になっていくとみられる。長期的にはさらに設計自由度が高いChip on Chip(CoC)の構造で製造するデバイスも上市されていく見通しである。
- ③ 一方、ハイブリッドボンディングを適用した製品はコストや積層難易度が高く、現状では低コスト要求の高いPC向けCPUや積層数の多いHBMではマイクロバンプの製品が採用されている。ハイブリッドボンディングにおいて、積層難易度としてはCoWの方がWoWより高いが、CoWの場合、良品チップを選んで積層できるため、層数が高まるほど歩留まりの観点では優位になりやすい傾向である。

3.3D PKG

3) 技術ロードマップ

年次	2023年	2024年	2025年	2026年	～2030年
概要					
チップ積層方法	ロジック				
	マイクロバンプ			ハイブリッドボンディング(CoW) (SoC機能分割積層)	
	ハイブリッドボンディング(CoW) (SRAM積層)				
	HBM				
	マイクロバンプ			ハイブリッドボンディング(CoW)	
	HBM3	HBM3E	HBM4	HBM4E	
HBMチップ積層 ボリュームゾーン (枚)	4～12	8～12		8～16	
バンプピッチ (μm)	ハイブリッドボンディング(ロジック向け)				
	10		5	3未満	
	マイクロバンプ(ロジック/HBM向け)				
	30～40	20～30	10～20	10	
アライメント精度 (μm)	ハイブリッドボンディングWoW(イメージセンサーなど)				
	±0.1		±0.05		
	ハイブリッドボンディングCoW(ロジックなど)				
	±0.2		±0.1		
	マイクロバンプ(ロジックなど)				
	±1.0			±1.0未満	

- ① 中長期的にマイクロバンプ採用製品は、より微細ピッチを必要とするハイエンド品においてハイブリッドボンディング(CoW)への切り替えが進む見通しである。
- ② HBMは同一サイズのチップを積層するため、WoWでの積層も不可能ではないが、層数が高いため歩留まり面を考慮すると、ハイブリッドボンディングを採用した場合にはCoWの積層になる可能性が高いが、歩留まりを考慮すると2030年頃までかかるとみられる。一部の層のみCoWの製品が多くなると想定される。
- ③ 2024年に3,400mm²、2026年に4,600mm²、2027年に7,700mm²、のサイズアップが計画されている。100mm角以上の製品に向けた開発も行われている。
- ④ マイクロバンプは、現状30～40μmピッチの製品が主に採用されている。中長期的にマイクロバンプも微細化が進むとみられ、ハイブリッドボンディングでターゲットとしていなかった10μmピッチ程度まで微細化が進んでいくとみられる。
- ⑤ ハイブリッドボンディングは、マイクロバンプで対応しきれない10μm以下の非常に微細なピッチの製品が対象となる。、Intelが2025年を目途に5μmピッチの量産準備を進めるとみられ、1μmピッチに向けた微細化が進んでいく見通しである。
- ⑥ ハイブリッドボンディング(CoW)は、歩留まり向上などを目的に精度への要求が継続して高くなるとみられる。3～5μm程度のピッチに対して±0.1μm程度の精度を持つボンダーの要求が出ている。また、クリーン度や平坦度も非常に重要であり、近年は前工程のチップの生産段階から平坦性を重視した生産を行うため、前工程装置メーカーがハイブリッドボンディング工程まで一貫したソリューションで装置を一括提供する提案も多くなされている。

3.3D PKG

4) 材料&装置参入メーカーおよび技術動向 【Hybrid Bonding(WoW)】

工程/部材	採用構成/プロセス材料	プロセス装置	技術トレンド
	主要参入メーカー	主要参入メーカー	
絶縁膜成膜/ エッチング	シランガス	CVD装置	-
	REC Silicon、 SK specialty	Applied Materials、 Lam Research	
		エッチング装置	
ハイブリッドボンディング メタル層形成	ターゲット材	Lam Research、 東京エレクトロン、 Applied Materials	• CMPスラリーの選択比調整 • 配線不良対策の高い洗浄能力
	JX金属	スパッタ装置	
	電解Cuめっき	SPST Technologies	
	Atotech、 DuPont	めっき装置	
	CMPスラリー	Lam Research	
	JSR、 富士フイルム エレクトロニクスマテリアルズ、 DuPont、レゾナック	CMP装置	
	ポストCMPクリーナー	Applied Materials、 荏原製作所	
	DuPont、Entegris、 富士フイルム和光純薬		
ボンディング	-	ハイブリッドボンダー	• 高精度ボンディング (±100nm→±50nm)
		東京エレクトロン、EV Group、 SUSS MicroTec、	

3.3D PKG

4) 材料&装置参入メーカーおよび技術動向

【Hybrid Bonding(CoW)】

工程/部材	採用構成/プロセス材料	プロセス装置	技術トレンド
	主要参入メーカー	主要参入メーカー	
キャリア 仮接着/剥離	仮接着材料 東京応化工業、 日産化学、 信越化学工業	テンポラリーボンダー/ディボンダー AIメカテック、東京エレクトロン、 SUSS MicroTec	・低応力な剥離プロセス ・接着剤の平坦化
	CMPスラリー AGC、レゾナック	CMP装置 Applied Materials、 荏原製作所	
絶縁膜成膜/ エッチング	絶縁膜材料 【シランガス】 REC Silicon、SK specialty	CVD装置 Applied Materials、Lam Research	・ダイシングによるパーティクルを抑制する絶縁膜材料(PIの展開)
	【ポリイミド】 東レ、ダイセル、HDマイクロシステムズ	エッチング装置 Lam Research、東京エレクトロン、 Applied Materials	
	ターゲット材 JX金属	スパッタ装置 SPST Technologies	
	電解Cuめっき Atotech、DuPont	めっき装置 Lam Research	
ハイブリッドボンディング メタル層形成	CMPスラリー 富士フイルム エレクトロニクスマテリアルズ、 DuPont、レゾナック	CMP装置	・CMPスラリーの選択比調整 ・配線不良対策の高い洗浄能力 ・有機CMP対応製品
	ポストCMPクリーナー DuPont、Entegris、 富士フイルム和光純薬	Applied Materials、荏原製作所	
	ダイシングテープ		
	リンテック、 古河電気工業、マクセル		
	ハイブリッドボンダー Besi+Applied Materials、 ASMPT+EV Group、SET+SUSS MicroTec、 芝浦メカトロニクス、東レエンジニアリング		

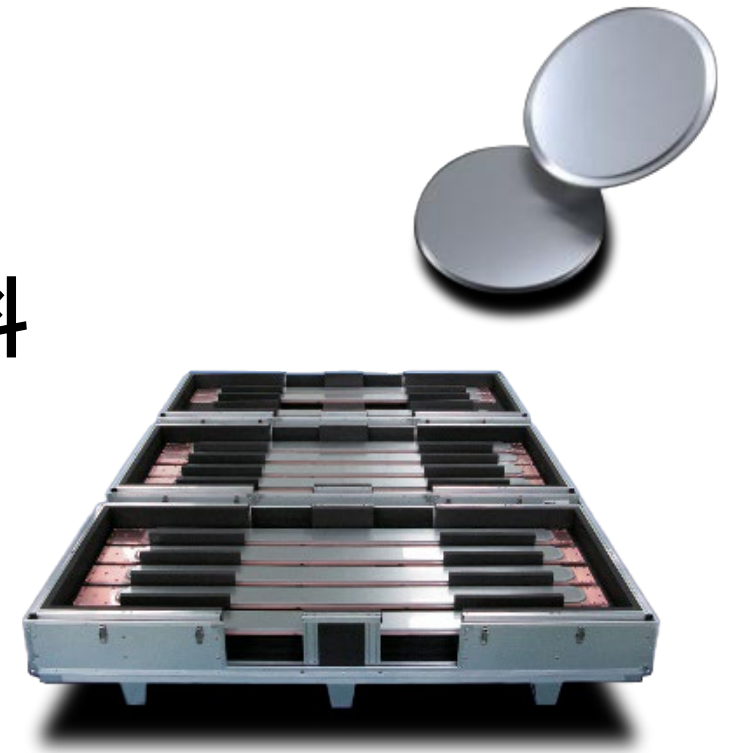
3.3D PKG

4) 材料&装置参入メーカーおよび技術動向 【μ Bump】

工程/部材	採用構成/プロセス材料	プロセス装置	技術トレンド
	主要参入メーカー	主要参入メーカー	
キャリア 仮接着/剥離	仮接着材料	テンポラリーボンダー/ディボンダー	・低応力な剥離プロセス ・接着剤の平坦化
	信越化学工業、東京応化工業、 日産化学	東京エレクトロン、 AIメカテック、 SUSS MicroTec	
ダイシング	ダイシングテープ	ダイシング装置	-
	リンテック、 古河電気工業、 マクセル	ディスコ、 パナソニック コネクト、 SPST Technologies	
ボンディング	-	FCボンダー	・高精度ボンディング (±1.0μm→±1.0μm未満) ・ボンディング後の傾き抑制
	-	ASMPT、東レエンジニアリング	
アンダーフィル充填	CUF	ディスペンサー	・狭ギャップ大面積充填 (フィラー径:0.8μm→0.5μm) ・薄型/大型化に伴う反り抑制
	ナミックス	武蔵エンジニアリング、 Camalot	

新光電気工業株式会社 御中

プロテリアルの子世代半導体パッケージ用材料 ～スパッタリングターゲット材 NVF合金～



2025年3月6日 TG-G1-H58

株式会社プロテリアル

安来工場 加工部 新素材グループ（冶金研究所 高機能材グループ 兼任）

渡辺 順也

本資料には株式会社プロテリアルの秘密情報が含まれています。
事前の許諾無く第三者への開示及び目的外での使用（特許出願を含む）
並びに複製・複写・転載・転用・編集・改変などの二次利用を禁じます。

1. 安来工場 加工部 新素材グループ概要

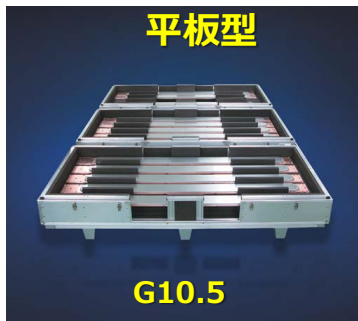
PROTERIAL

新素材グループ

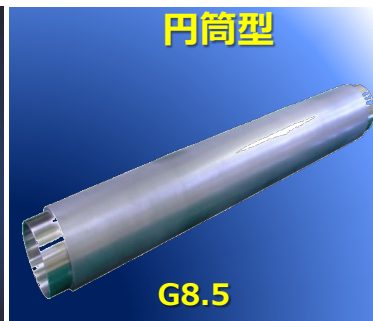
ターゲット(TG)

ターゲットとはスパッタリング法などで薄膜を形成するための母材

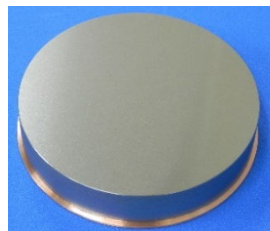
フラットパネルディスプレイ/タッチパネル



磁気記録(ハードディスク)



硬質皮膜



アトマイズ(ATM)

粉末ハイス鋼およびターゲット原料粉末

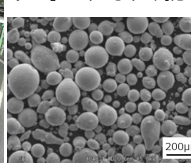
大気アトマイズ設備



真空アトマイズ設備



アトマイズ粉



表面改質

金型・部品へのPVDコーティング受託加工



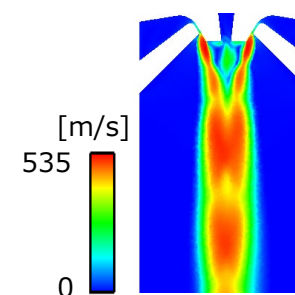
金型用 Tribec®



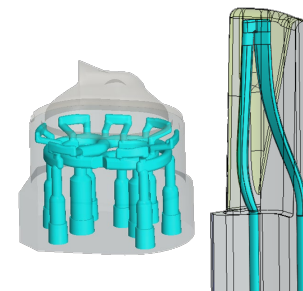
部品用 L-Frex®

IMP (Innovative Metal Products)

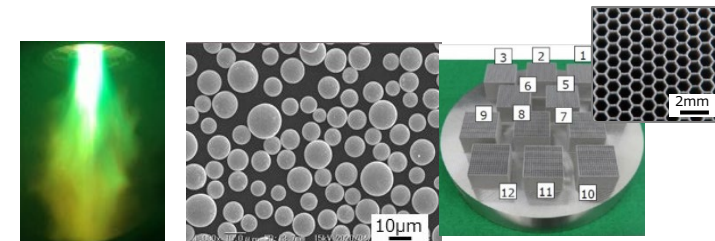
高効率真空アトマイズ技術



3D造形ソリューション提案

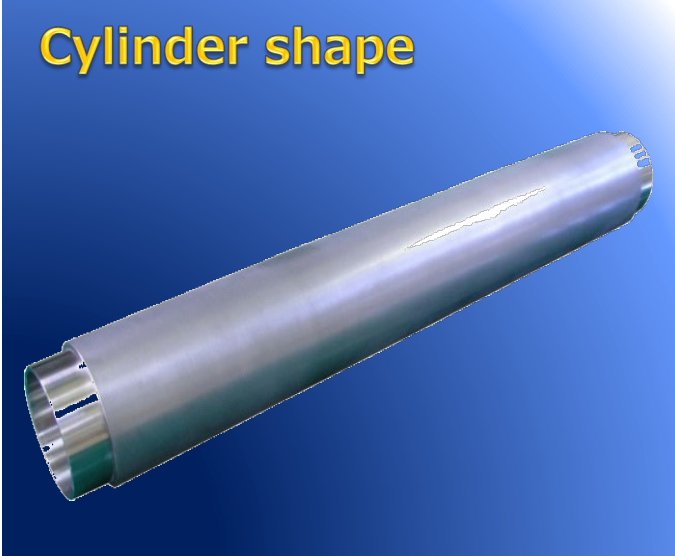
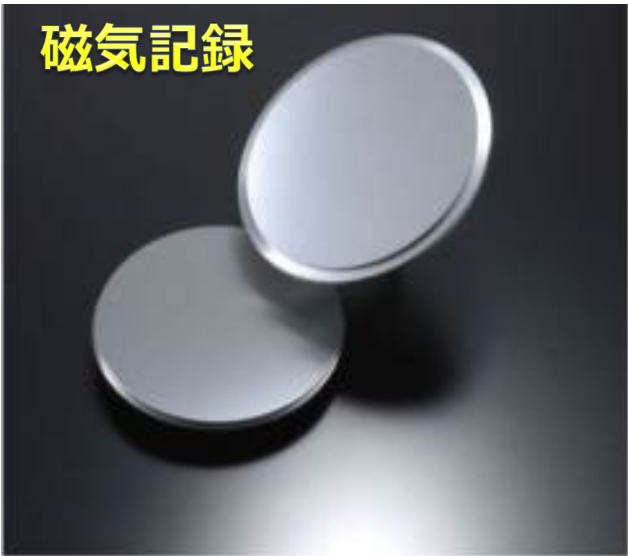


高融点球状粉末の開発



独自合金のスパッタリングターゲット材を開発・製造

2. スパッタリングターゲット材製品一覧

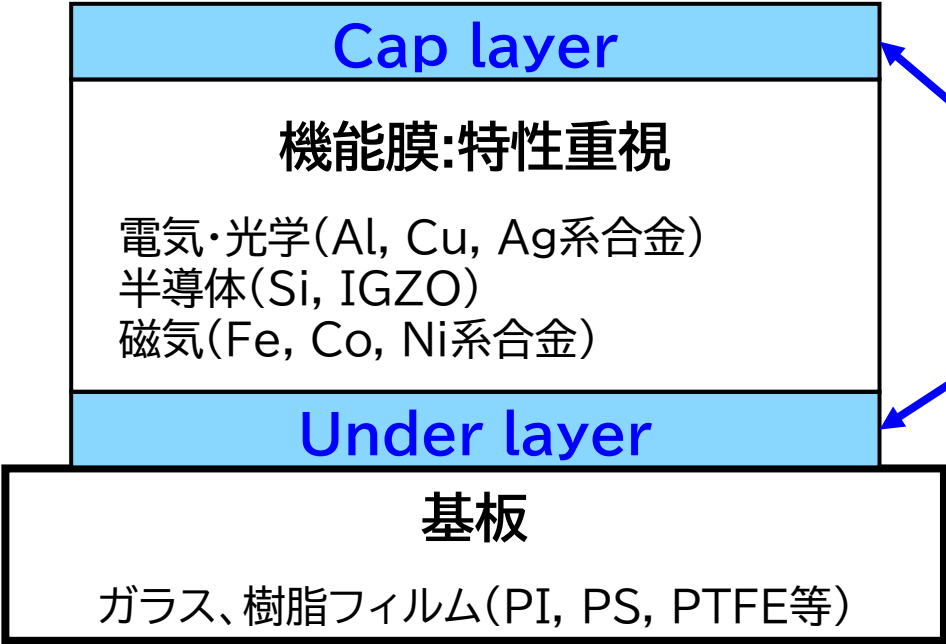


Market	Composition of target material
フラットパネルディスプレイ タッチパネル	Pure-Mo, Mo-Nb alloy, Mo-W alloy, Mo-Ti alloy, Pure-Cr 他
磁気記録	Co-alloy, Fe-alloy, Cr-alloy, Ni-alloy, Pure-W, W-alloy, 他
硬質皮膜	Pure-Cr, TiSi, CrSi, CrB 他
半導体	TiW, CoFeB 他

3. 多用途対応膜の開発コンセプト

電子機器に対する要求・・・高性能化＋小型軽量化＋省電力化等 → 薄膜化

薄膜電子デバイス = 積層構造
機能膜＋サポート膜(Cap & Under layer)



薄膜電子デバイスの積層構造例

サポート膜(Cap&Under layer)に対する要求特性

Cap layer

- ①表面保護 : 高耐酸化性、高耐湿性
- ②電気接続性 : 半田濡れ性

Cap & Under layer

- ③機能膜と一括加工 : フォトエッチング性

Under layer

- ④基材、機能膜と密着 : 密着性
- ⑤基材の反り抑制 : 低膜応力性

多用途対応Ni膜・・・NVF合金(Ni Versatile Film)

4. NVF合金のスputタリング特性と単層膜特性

■スputタリング特性

Materials	Cr	Ti	Mo	NVF合金 (Ni合金)
Deposition Rate (nm/min)	25.8	14.4	25.3	23.2

■単層膜特性

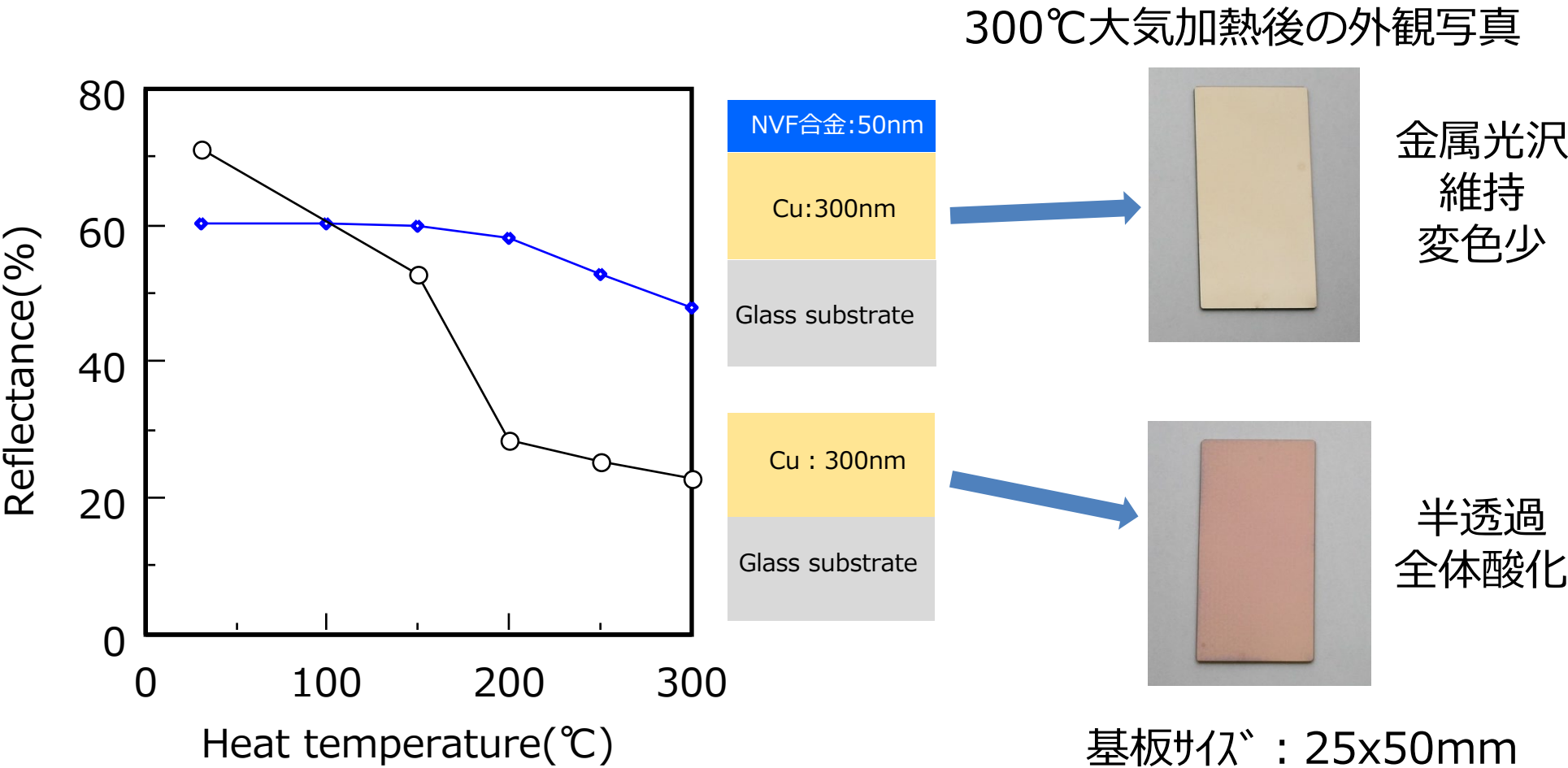
Materials	Cr	Ti	Mo	NVF合金 (Ni合金)
Resistivity (μΩcm)	28.5	63.0	12.7	123
Reflectance (%)	61.4	49.5	59.1	60.0
Internal stress (MPa)	700	400	100	200

が基板、同一成膜条件、膜厚：200nm

NVF合金の
特性

Ni主成分だが非磁性のため通常スputタ可能
Cr、Moと同等の成膜速度が得られる

5. 耐酸化性 大気加熱時の反射率変化と外観

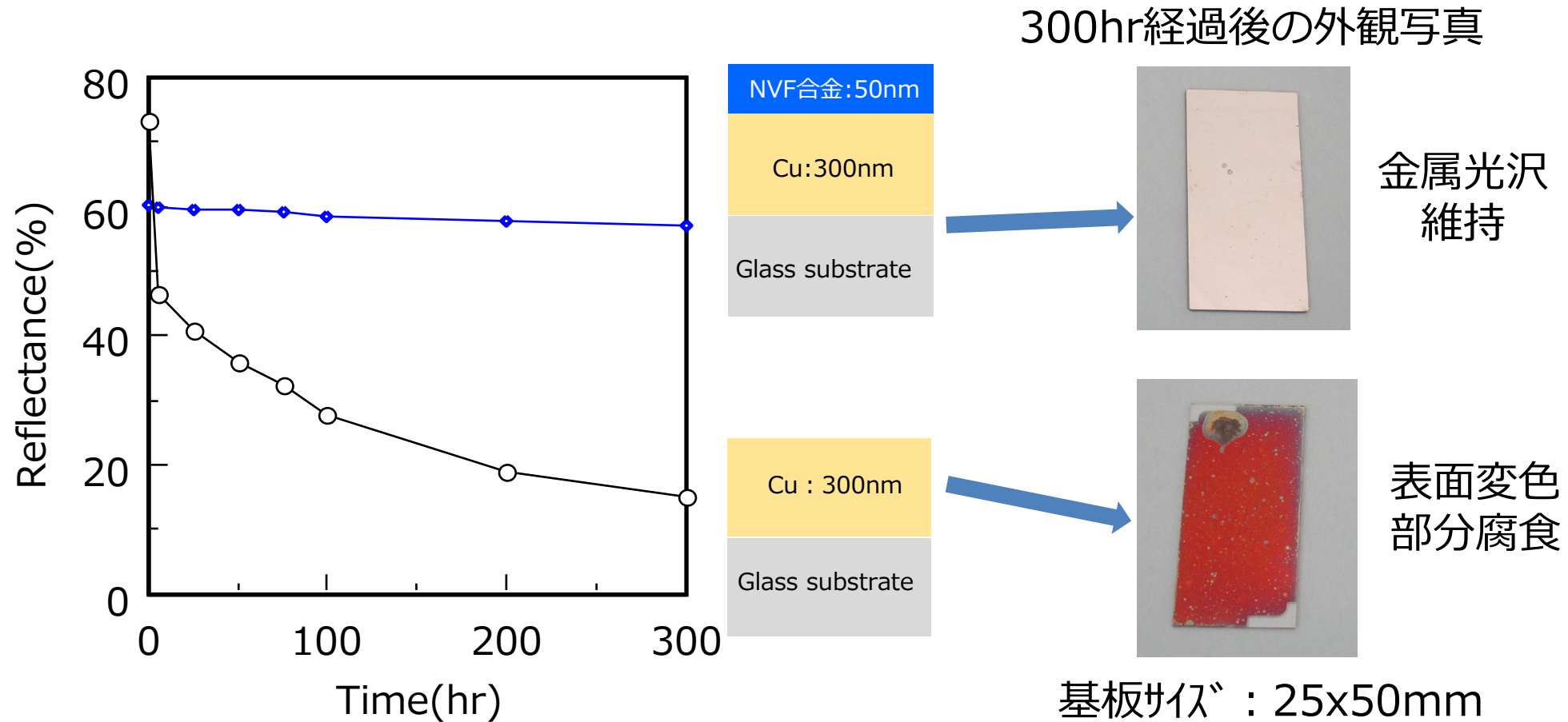


NVF合金の特性

Cu \ NVF合金積層膜
Cu単層膜

⇒反射率低下少：耐酸化性向上
⇒反射率低下大：酸化し易い

6. 耐湿性 高温高湿(85℃×85%RH)時の反射率変化



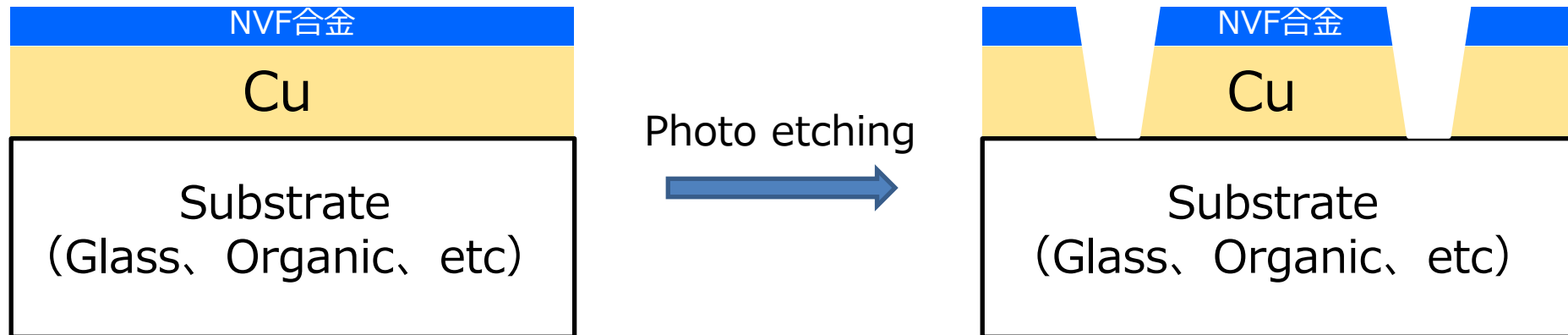
NVF合金の
特性

Cu\NVF合金積層膜
Cu単層膜

⇒反射率変化少：高耐湿性（信頼性向上）
⇒反射率低下：変色（赤褐色）耐湿性低い

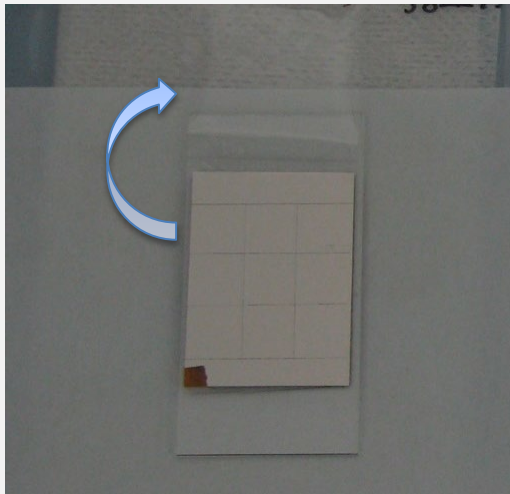
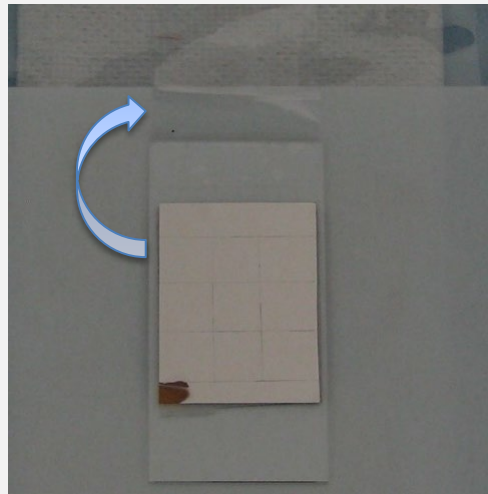
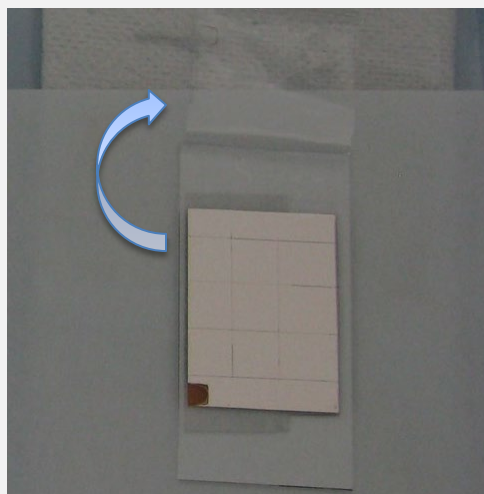
Materials	Cu	NVF合金
Etching rate (nm/sec)	6.6	8.3

※Cu膜用エッチャント（市販品）



NVF合金の
特性

Cu膜よりエッチング速度が早いため
キャップ膜として底が出にくい

Structure	NVF合金\Cu\NVF合金		
Thickness(nm)	30\500\50	30\700\50	30\1000\50
NVF合金 Cu NVF合金 P.I film Two-side adhesive tape Glass substrate			

※8×8mmの格子にカットし、粘着テープ剥がしにより密着性を簡易評価

NVF合金の
特性

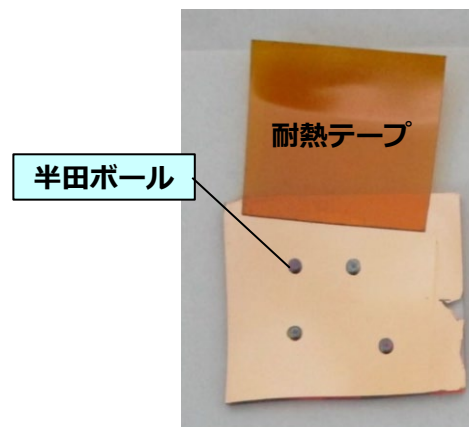
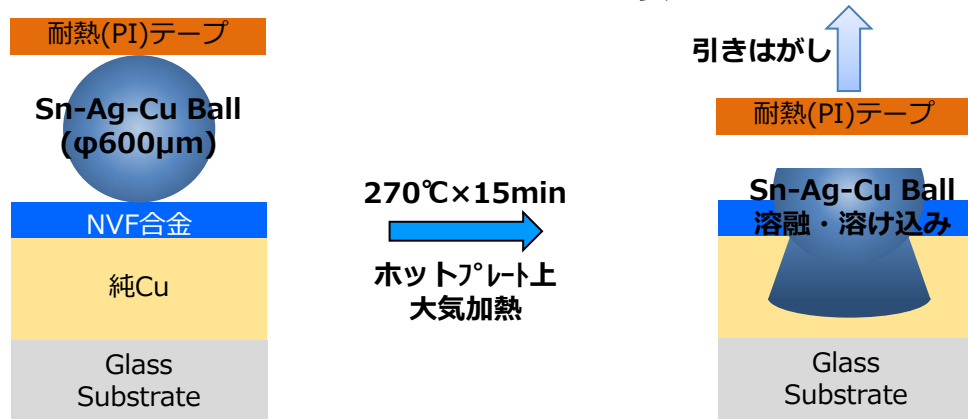
Cu膜と密着性が高い
(Cu膜とNVF合金膜の間で剥がれない)
P.I Filmとも高い密着性を有する



剥がれ例 (Glass\Cu)

9. 半田接合性

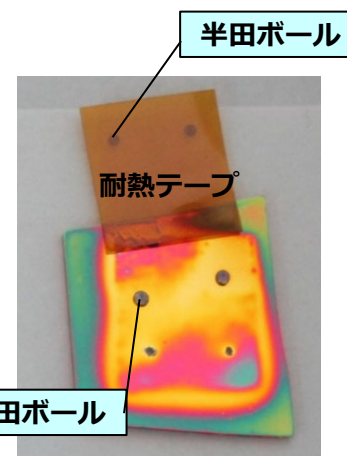
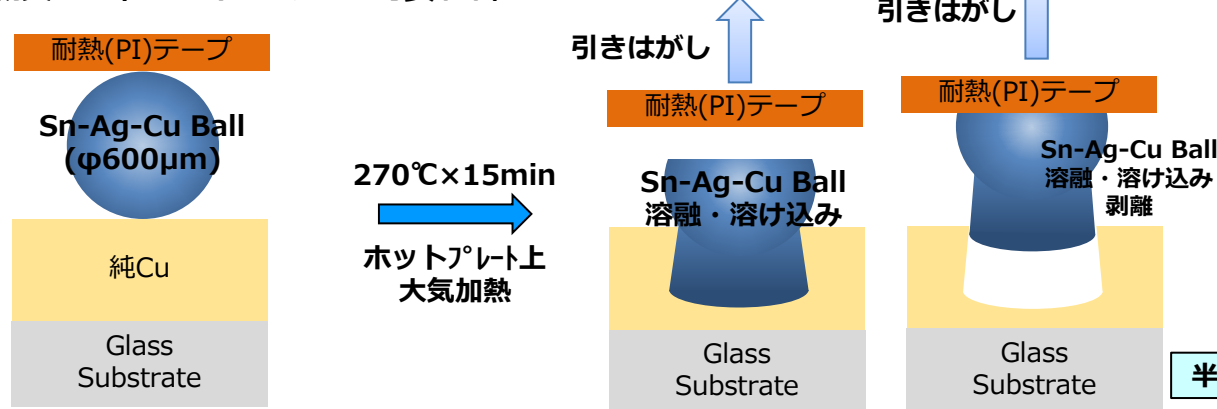
■ Cu/NVF合金積層膜と半田ボールの接合性



半田ボール剥がれ無

NVF合金変色少
(酸化抑制)

■ Cu単層膜と半田ボールの接合性



半田ボール剥がれ有り

Cu表面変色 (酸化)

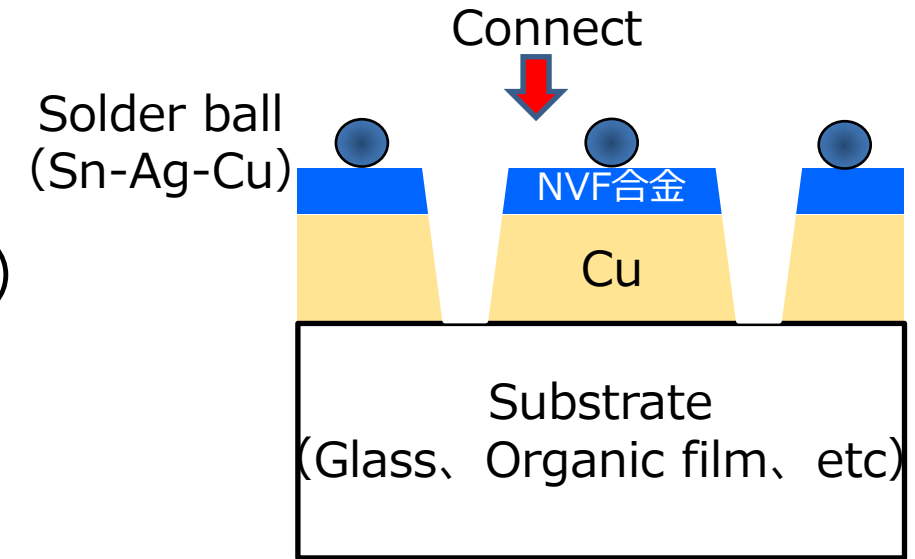
NVF合金の
特性

Cu \ NVF合金積層膜：①Cu膜の酸化抑制
②Sn-Ag-Cuボール接合強度向上

10. まとめ

■ NVF合金の特徴

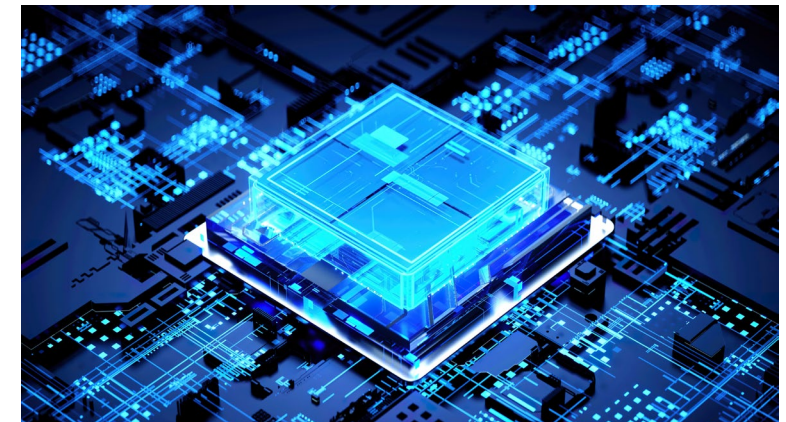
- 1) 高耐酸化性
- 2) 高耐湿性（信頼性向上）
- 3) Cuと一括エッチング可能（パターンニング性改善）
- 4) 樹脂Filmとの高い密着性
- 5) 半田接続性改善



■ NVF合金の適用用途

- * FPD : mini-LED-BL⇒micro-LED-TV
- * Mobile : LED-バックライト、軽量フィルム配線
- * 半導体基板：チップ実装、Cuめっき下地 等々

種々用途に適用可能



PROTERIAL

A horizontal bar spanning the width of the slide, featuring a central red segment flanked by light gray sections.

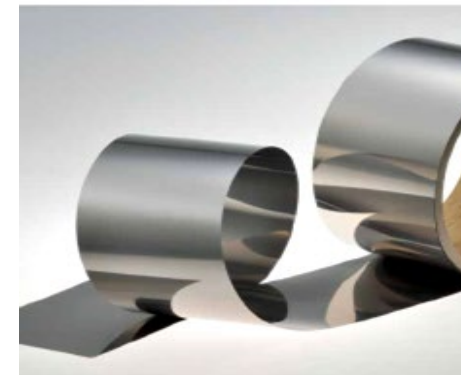
新光電気工業殿向けプロテリアル展示会

プロテリアルの次世代半導体パッケージ用材料 (Ni-P粒子・低熱膨張合金箔)

2025年3月6日

株式会社プロテリアル金属

技術開発部 外木 達也



本資料には株式会社プロテリアルの秘密情報が含まれています。
事前の許諾無く第三者への開示及び目的外での使用(特許出願を含む)
並びに複製・複写・転載・転用・編集・改変などの二次利用を禁じます。

1. (株)プロテリアル金属製品概要

1-1. プロテリアル金属の製品概要

PROTERIAL

材料技術

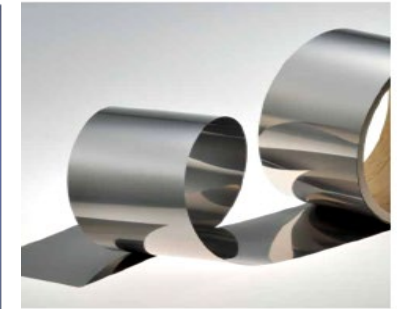
- ・合金設計
- ・圧延技術
- ・クラッド技術



クラッド材



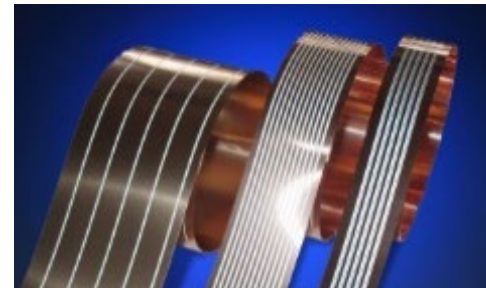
半導体用銅条



ステンレス箔

表面処理技術

- ・めっき
- ・酸化被膜処理



ストライプめっき

二次加工技術

- ・切削
- ・曲げ
- ・溶接
- ・打ち抜き
- ・絞り
- ・ヘッディング
- ・造粒
- ・ろう付け
- ・磁性焼鈍
- ・鍛造



NiP粒子

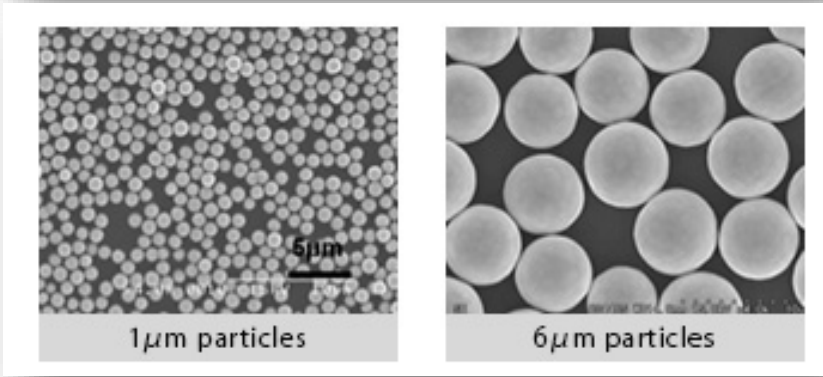


クラッド端子 CLAMET®

2. Ni-P(ニッケル-リン)粒子のご紹介

2-1. Ni-P(ニッケル-リン)粒子について

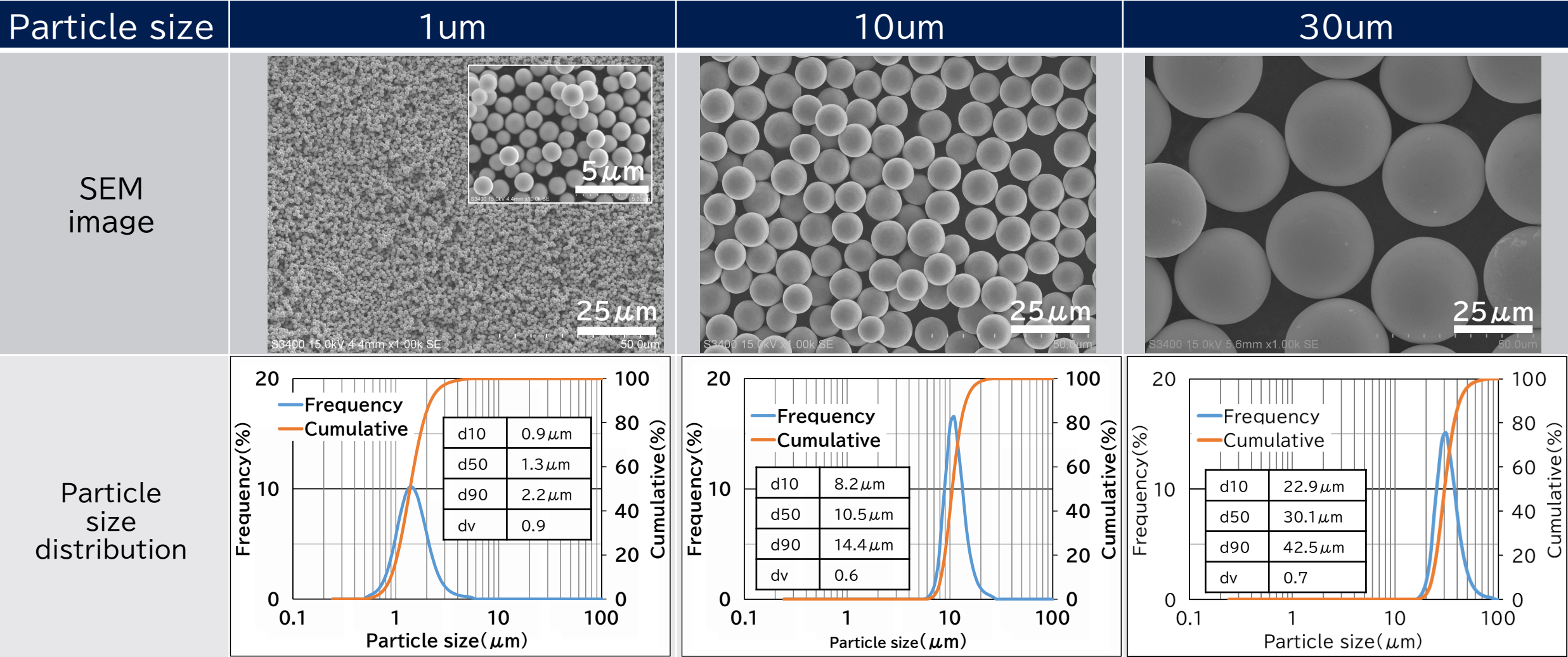
- ・ 弊社では、異方性導電フィルム(ACF)やスペーサー部材用の導電性Ni-P粒子を製造しております。
- ・ 湿式還元法により、真球形状をしており、粒径の均一性および分散性に優れることが特徴です。
- ・ Ni-P粒子表面への各種めっきを施すことにより、様々な機能を付与します。



		種類・範囲	備考
粒子	組成	Ni-P	主成分Ni, P(5~10%), Cu(3~5%)およびSnを微量に含む場合があります。
	粒径	1~30µm	左記以外の粒径についてのご相談賜ります。
めっき	種類	Au, Ag, Cu 低融点はんだ Pbフリーはんだ 等	その他めっき種類についてのご相談賜ります。
	膜厚	Au 5~30nm Au以外 ~数µm	めっき膜厚についてのご相談賜ります。

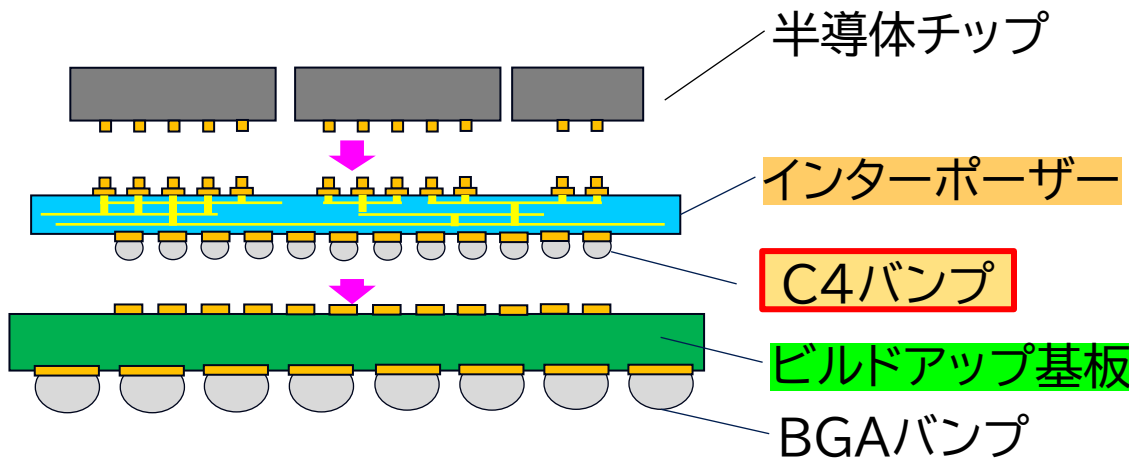
2-2. Ni-P粒子の形状と粒径分布

- Ni-P粒子の各粒径サイズのSEM像と粒度分布を示します。
- 湿式還元法により製造するため、真球状で平滑な表面をしており、均一な粒径サイズが得られます。



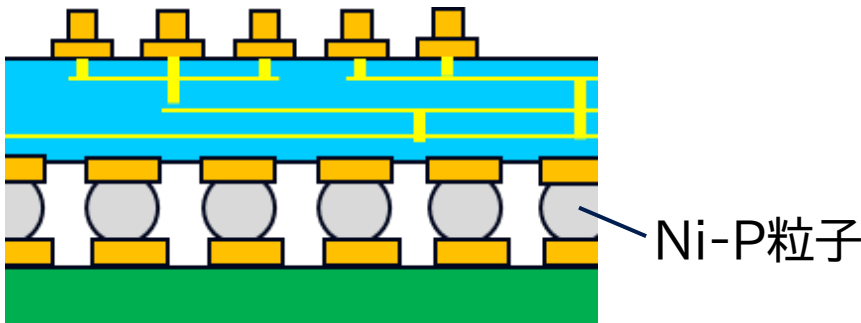
d10, d50, d90: Particle size showing 10vol%, 50vol%, 90vol% in cumulative curve $dv = (d_{90} - d_{10}) / d_{50}$

チップレットの実装例

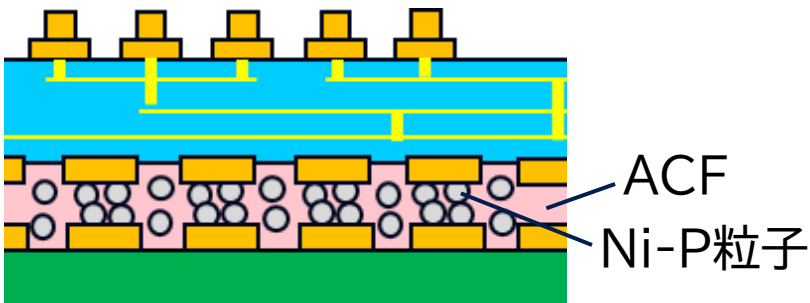


想定使用方法

基板に整列してバンブとして



ACFのフィラーとして

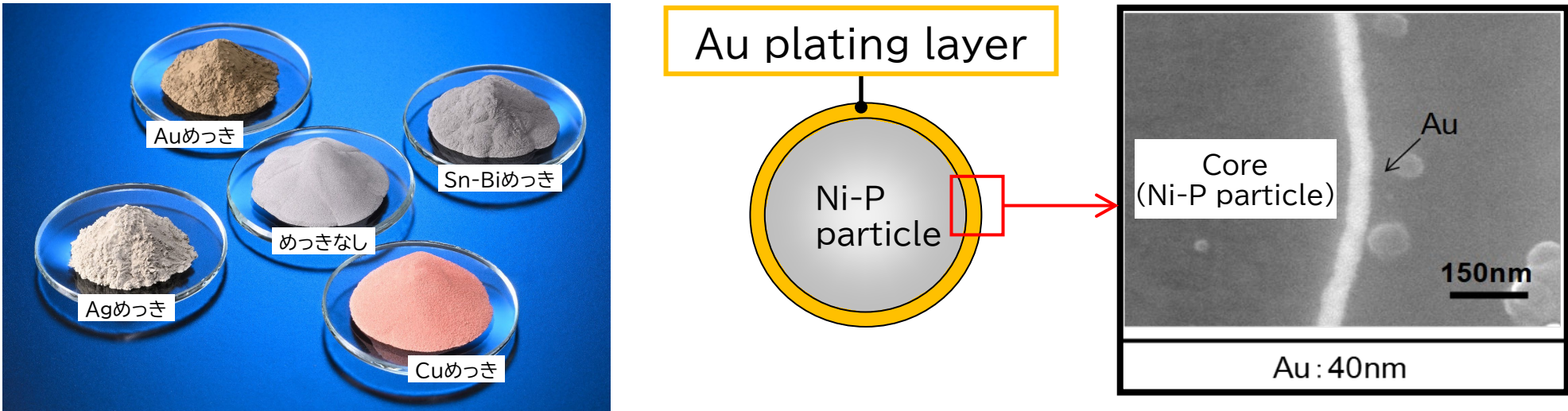


各種導電性粒子との比較

粒子の種類	めっき付きNi-P	樹脂コア	半田	アトマイズ粉
粒子径	1～30 μ m	2～60 μ m	最小約25 μ m	最小約5 μ m
粒子径均一性	○	○	○	×
電気抵抗	○	△	○	○
耐熱性	○	△	×	○
硬さ	高	低	低	中

2-4. Ni-P粒子表面へのめっき

- Ni-P粒子表面にめっきを施すことにより、体積抵抗率を低減できます。
- めっきは、量産実績のあるAuめっき以外に、Agめっき・Cuめっき・低融点はんだめっき等が可能です。



粒子径	20μm			
めっき種類	なし	Au	Cu	はんだ(Sn-Bi)
めっき膜厚 (μm)	—	0.02	0.5	2
体積抵抗率※1 (×10 ⁻⁵ Ωm)	13.6	0.6	0.1	0.5※2

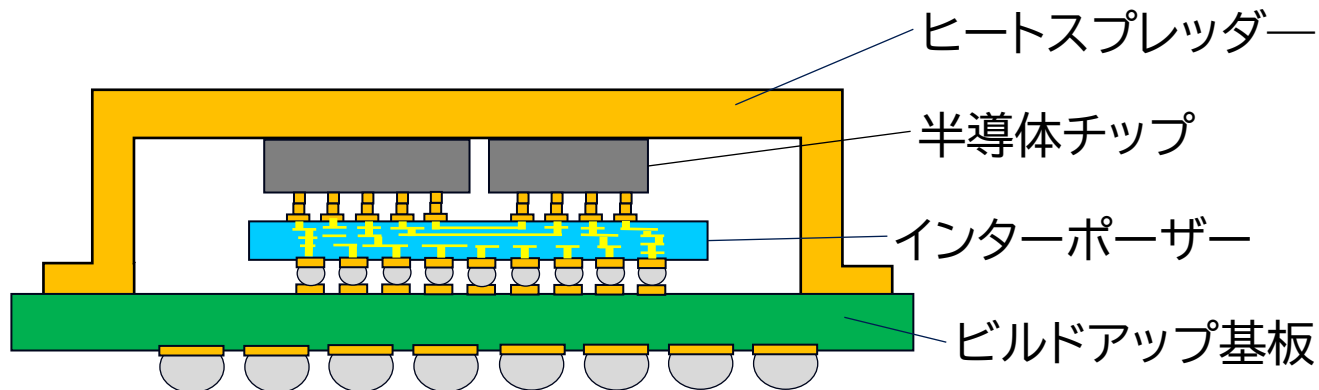
※1 体積抵抗率は、粒径・めっき膜厚・接合状態により変化します。
※2 はんだの体積抵抗率は、はんだ付け前の粒子の状態での値です。

3.各種低熱膨張合金箔のご紹介

3-1. チップレット実装の熱膨張の課題

【課題】

各部材の熱膨張率の違いから基板の反りが発生

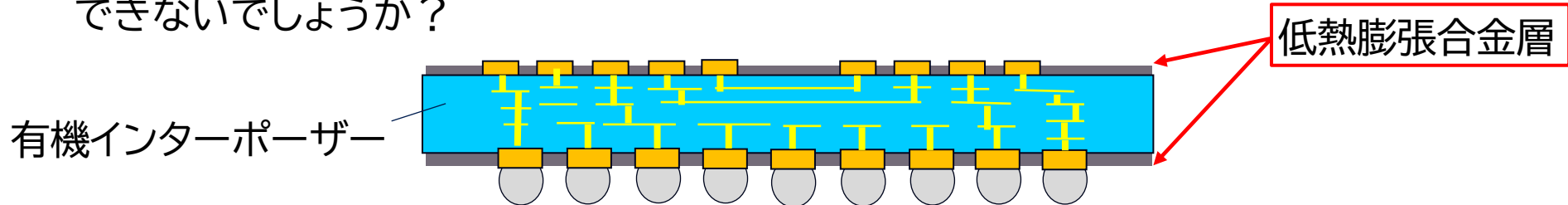


	代表的な線膨張係数
ヒートスプレッダー	17ppm/°C
半導体チップ	3ppm/°C
インターポザー	Si: 3ppm/°C 有機: 10ppm/°C以上
ビルトアップ基板	17ppm/°C前後

【ご提案】

低熱膨張合金箔で熱膨張のバランスがとれませんか？

例) 有機インターポザーの上下面に低熱膨張合金層を設けて低熱膨張のインターポザーにできないでしょうか？



3-2.低熱膨張合金のラインアップ

・使用温度に合わせ、様々な線膨張係数や熱伝導率を持った低熱膨張材をお選びいただけます。

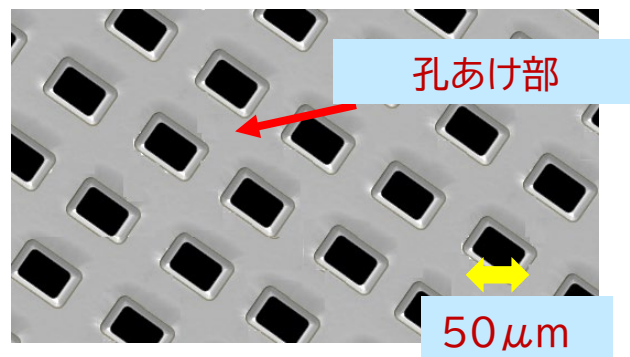
製品名	成分	線膨張係数ppm/K (30～200℃)	線膨張係数ppm/K (30～300℃)	熱伝導率
I	Fe-36Ni	2.3	5.2	13
SI	Fe-36Ni-Co	2.6	5.7	13
KV-25	Fe-Ni-Co	1.2	1.8	13
CIC-1	Cu/Fe-36Ni/Cu (クラッド材)	7.6	-	板面方向:164 板厚方向:21
CIC-3	Cu/Fe-36Ni/Cu (クラッド材)	3.6	-	板面方向:262 板厚方向:36

3-3. 低熱膨張合金箔の製造可能範囲

【低熱膨張合金箔の製品例】

・メタルマスク用Fe-36Ni箔

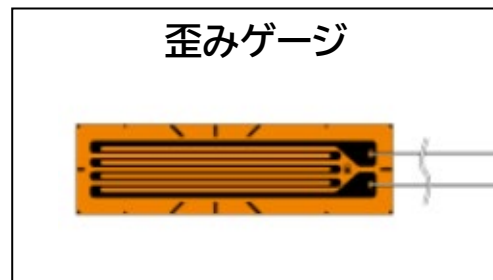
板厚 15~50 μ m



【極薄品の製品例】

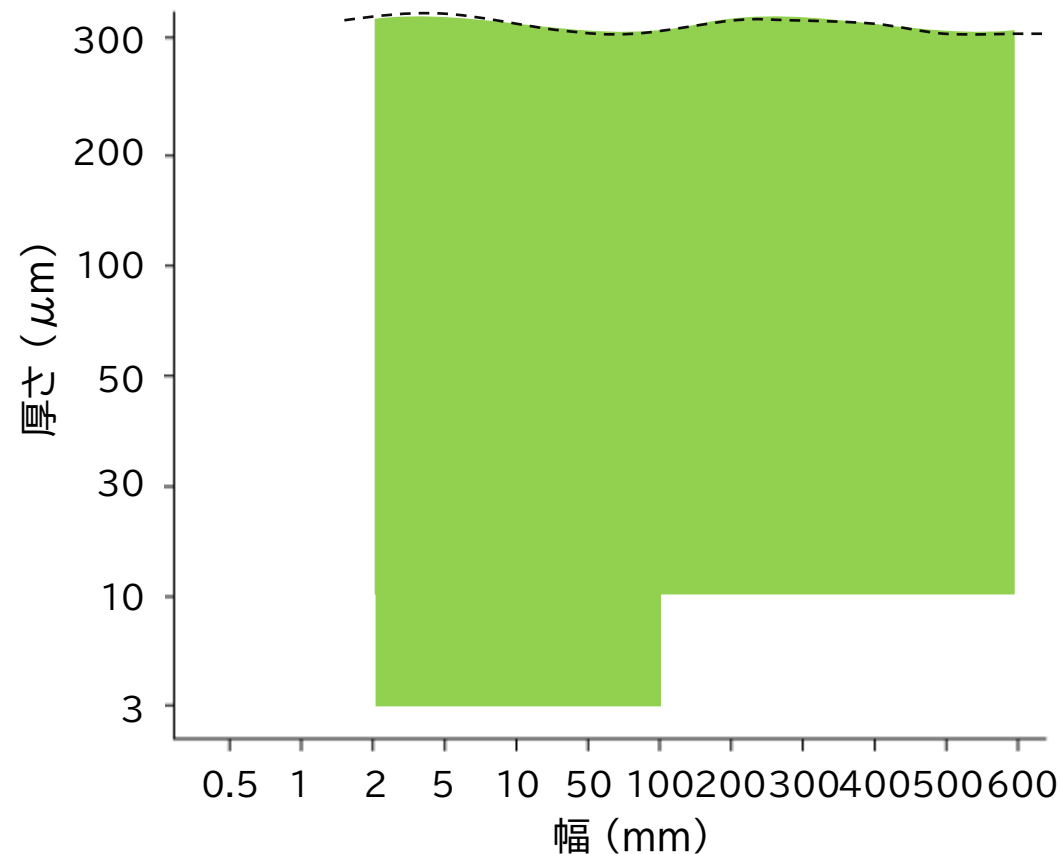
・歪ゲージ用Cu-Ni箔

板厚 2.5~5 μ m



最薄2.5 μ mの極薄箔

【製造可能範囲】

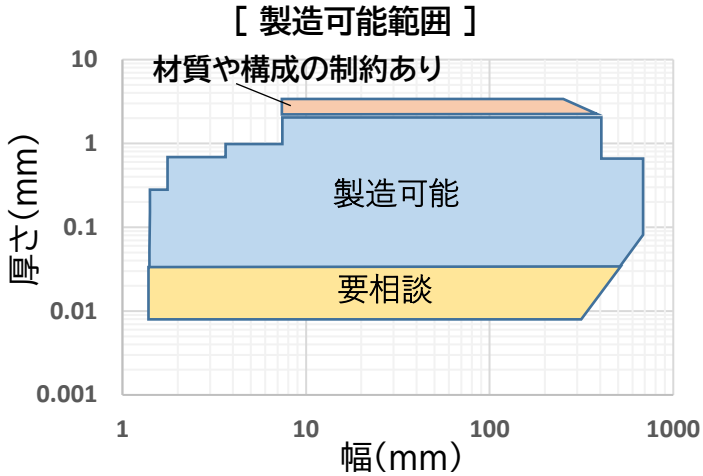


PROTERIAL



(関連資料1) クラッド素材の組み合わせ例

		① Fe及びFe合金					② Ni及びNi合金				③ Cu	④ Al	⑤ その他	
		オーステナイト系 ステンレス	フェライト系 ステンレス	Fe-36Ni合金	Fe-42Ni合金	Fe-Ni-Co合金	純ニッケル	Ni-Cr合金	Ni-Cu合金	パーマロイ	無酸素銅	アルミニウム	銀ろう	チタン
①	オーステナイト系ステンレス		●	●	●	●	●	●	●	●	●	●	●	●
	フェライト系ステンレス			●	●	●	●	●	●	●	●	●	●	●
	Fe-36Ni合金				●	●	●	●	●	●	●	●	●	●
	Fe-42Ni合金					●	●	●	●	●	●	●	●	●
	Fe-Ni-Co合金						●	●	●	●	●	●	●	●
②	純ニッケル							●	●	●	●	●	●	●
	Ni-Cr合金								●	●	●	●	●	●
	Ni-Cu合金									●	●	●	●	●
	パーマロイ									●	●	●	●	●
③	無酸素銅											●	●	●
④	アルミニウム												●	●
⑤	銀ろう													●
	チタン													



1.対象箇所

- ・半導体チップへの給電リード

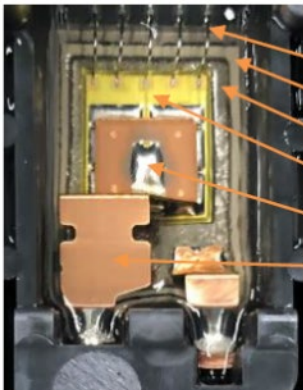
2.トレンド

- ・Alワイヤーボンディング⇒Cuリードはんだ付け



BYD OTTO3

引用:マークライنزWebiner
名古屋大学 山本教授資料



HONDAフィット

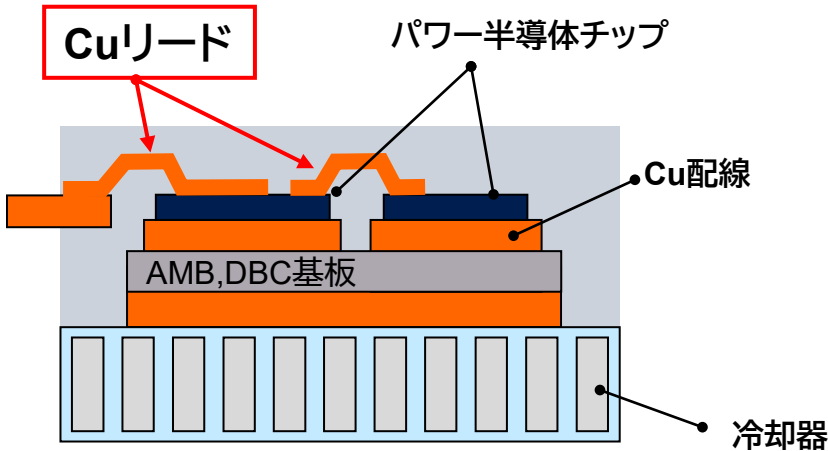
引用:モータ・パワエレ・水素エネルギー研究会
樫村様講演資料

- ゲートワイボンその他
- SiN基板
- 銅条
- RCIGBT
- はんだ
- Cuリード

3.課題

- ・半導体チップとCuリードの剥離

➡大きな熱膨張差により剥離が発生



	線膨張係数 ×10 ⁻⁶ /K	動作温度
Si	4	Max150℃
SiC	4	200℃以上可能
Cu	16	-

Cuリードの優位性

- ・電気抵抗が低いので大電流を流すことができる

*)本資料に記載の数値は参考値であり、保証値ではございません。

4.課題解決

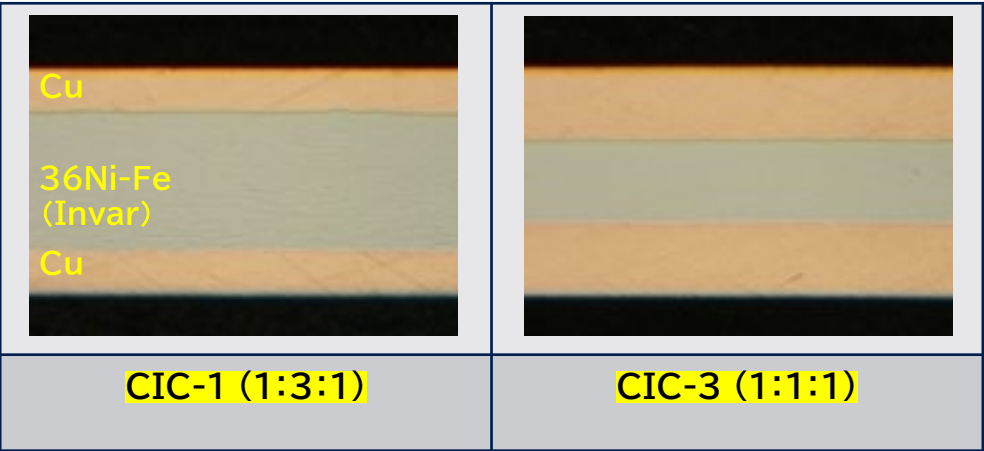
・CuやCu合金の代わりにCu/36Ni-Fe (Invar®) /Cuクラッド材(CIC)をリードに使用

コンセプト

熱伝導に優れたCuと低い熱膨張率のInvar合金をクラッド

表 .CICの諸特性

品名	厚さ比率			熱伝導率(計算値) (W/m・K)		熱膨張係数 :30-200℃ (×10 ⁻⁶ /K)	体積抵抗率 (×10 ⁻⁸ Ω・m)
	Cu	36Ni-Fe	Cu	板面平行 方向	板面直角 方向		
36Ni-Fe	0	1	0	13		2.5	79.8
CIC-1	1	3	1	164	21	3.6	4.1
CIC-3	1	1	1	262	36	7.6	2.5
Cu	1	0	0	391		17	1.7



CIC-1とCIC-3の断面写真

※CICは東芝マテリアル株式会社の登録商標です。
※InvarはAperam Imphy Alloysの登録商標です。

*)本資料に記載の数値は参考値であり、保証値ではありません。

No. SJ24-255

アルミニウム 電析技術のご紹介

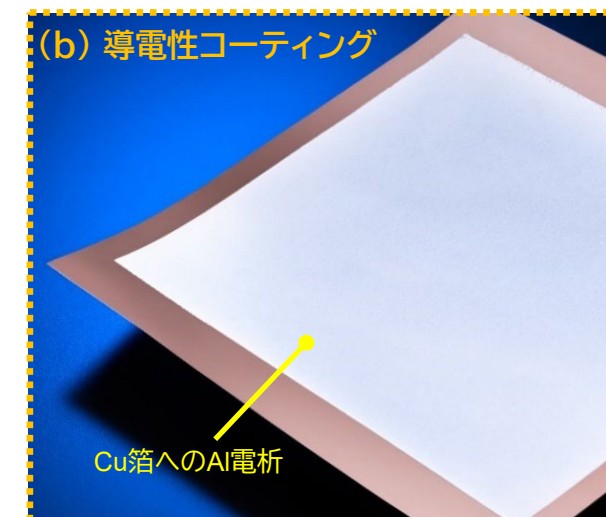
Aluminum Electroplating Technology

Alectro®

2025年3月6日

株式会社プロテリアル

営業本部 テクノロジーアライアンス部



本資料中のデータは分析値であり、保証値ではありません。

非水系電解液を用いたアルミニウム電気めっき(Al電析)方法

特長

- 高純度で緻密なアルミニウムの成膜が可能
- 蒸着や溶融めっきでは実現困難な厚さに対応 (3-100 μ m)
- 開発技術を提供し、お客様の新製品／新事業をサポート (技術供与／技術導入支援)

用途例

- 機能性コーティング (電気・熱伝導性, 耐食性付与)
- 意匠性コーティング (アルマイト併用による着色)

特性

基材形状・材質の自由度

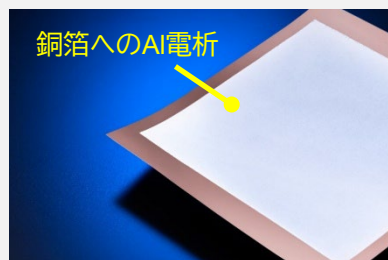


図1 Al電析膜の外観

高純度(>99.0%), 微細な表面粗さ, 柱状晶

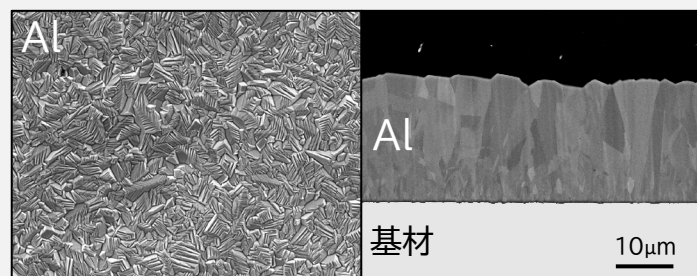


図2 表面/断面SEM像

意匠性(高級感)・耐食性付与

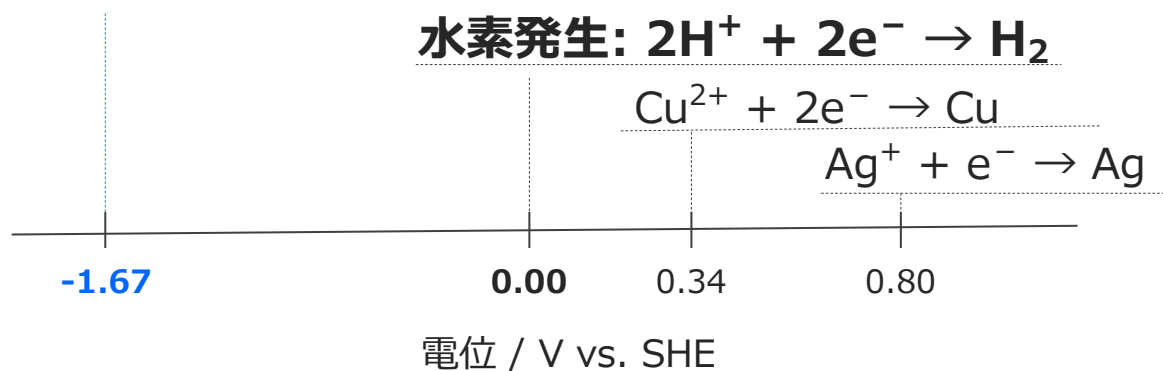


図3 Alダイカスト板への染色アルマイト

ジメチルスルホンを溶媒とする非水系電解液を用いてAlを電析

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
1	H																	He
2	Li	Be											B	C	N	O	F	Ne
3	Na	Mg											Al	Si	P	S	Cl	Ar
4	K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr
5	Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe
6	Cs	Ba		Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn

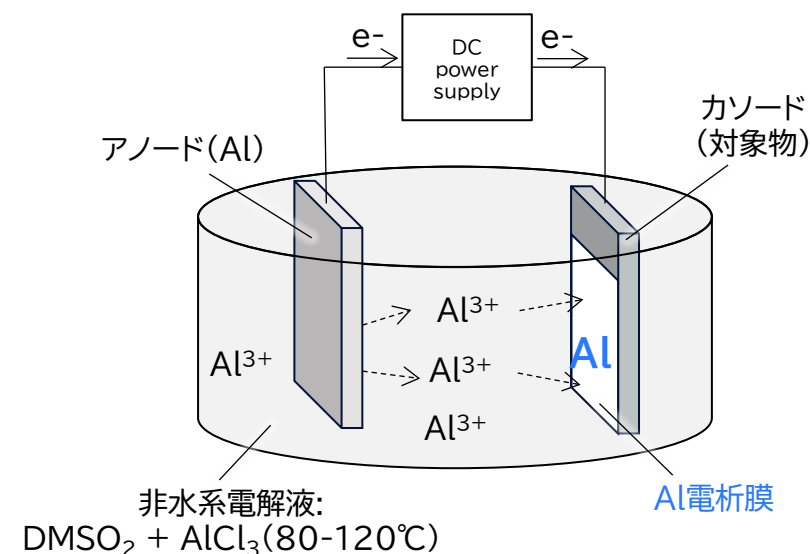
水溶液から電析可
本技術で電析可



本間敬之, エレクトロニクス実装学会誌, 6(7), 616 (2003).

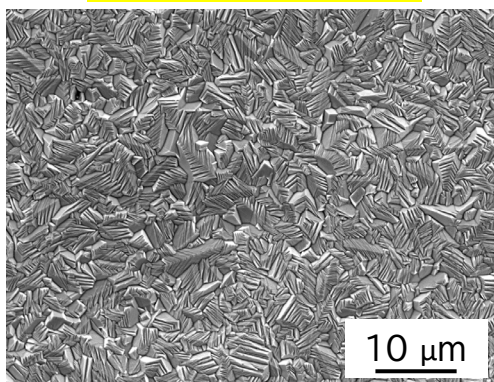
役割	試薬名	外観	試薬の用途例
溶媒	ジメチルスルホン (DMSO ₂)		食品添加物 化粧品 他
金属塩	塩化アルミニウム (AlCl ₃)		触媒 他

毒物や環境規制物質を不使用

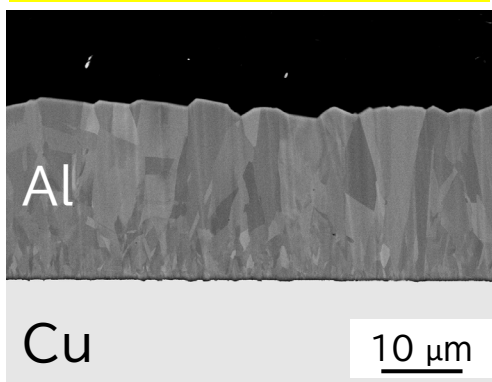


Al電析膜の特長：微細な表面粗さ，柱状晶，緻密，均一膜厚，高純度
染色アルマイトによる意匠性・耐食性付与が可能

微細な表面粗さ



柱状晶・緻密・均一膜厚



(mass%)

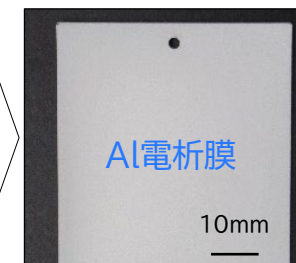
元素	Al	C	S	Cl
含有量	>99.0	0.05	0.01	0.07

純度	>99.0%
膜厚	3-100 μm
面粗さ	Ra ≒ 0.1-0.6 μm
体積抵抗	3.1 μΩ cm (純アルミと同等)

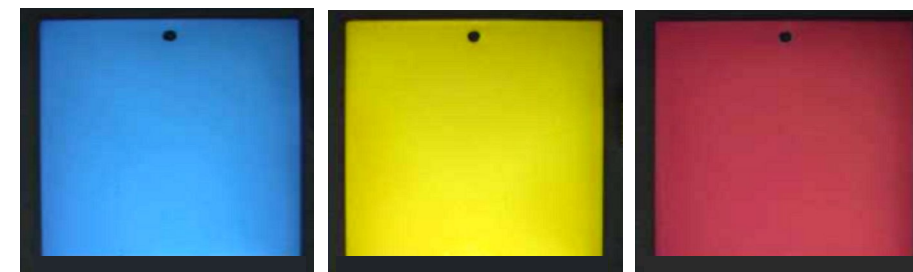
電析前



電析後

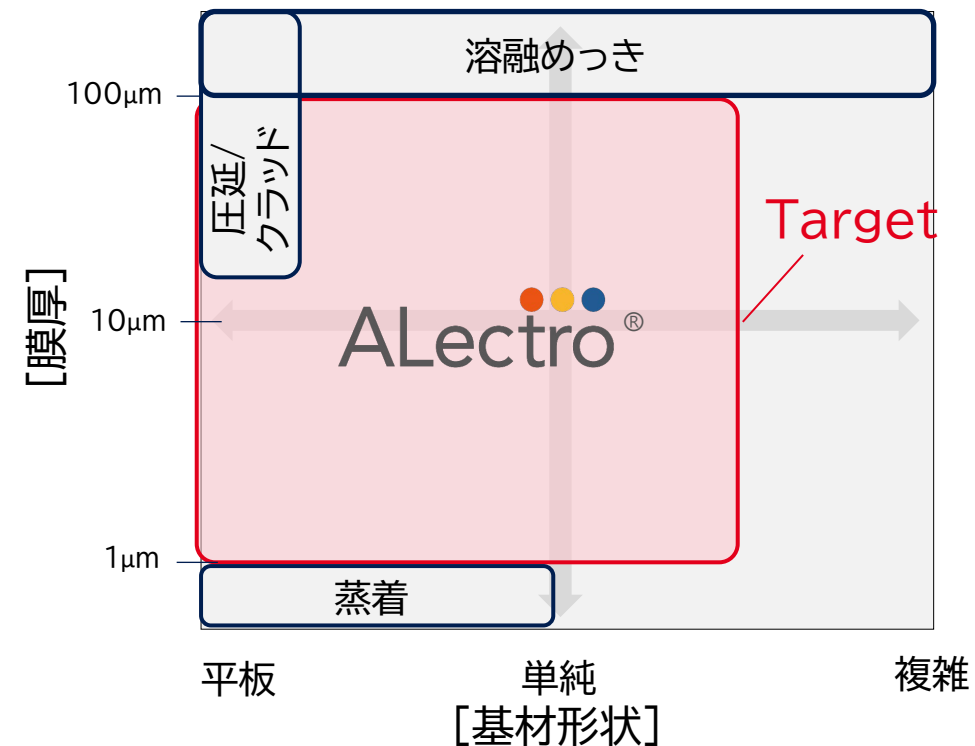


染色アルマイト



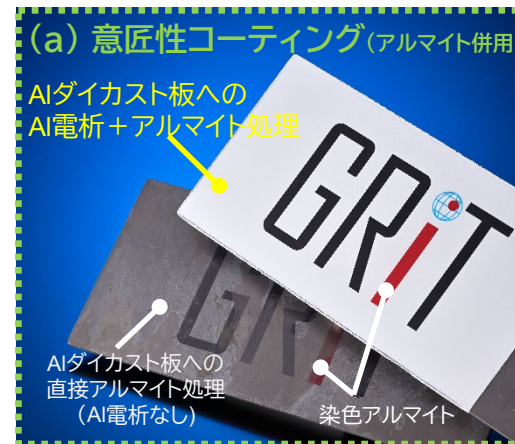
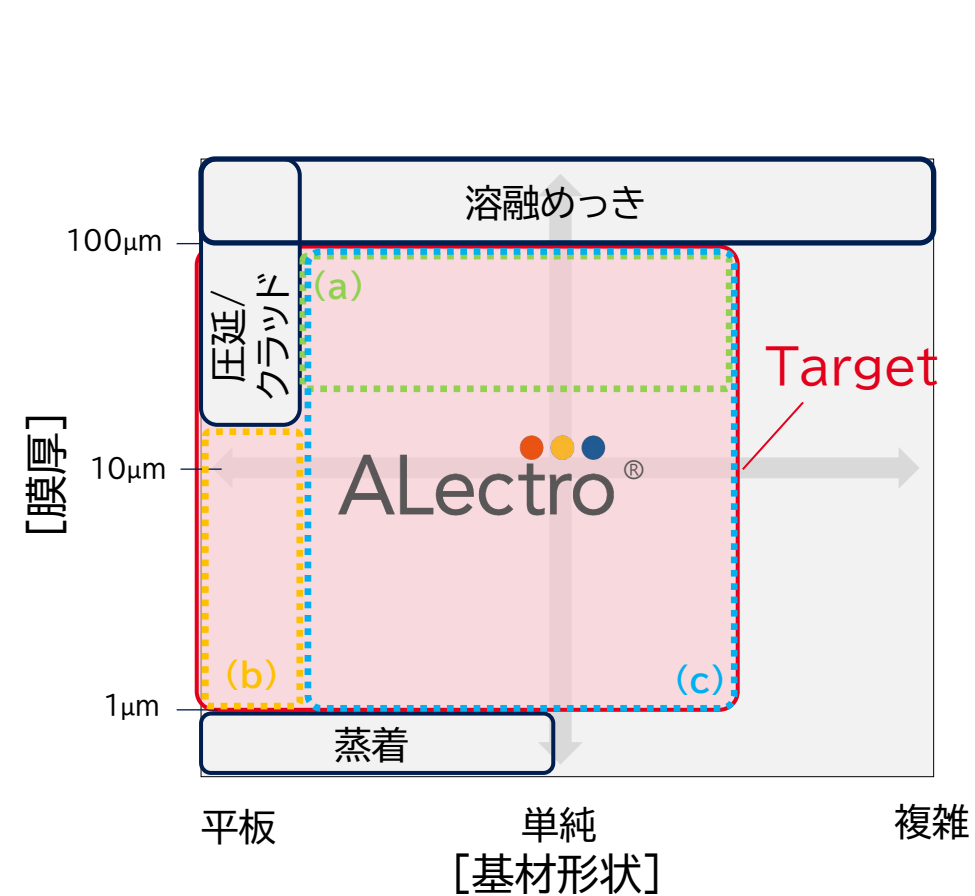
塗装では実現困難な本物の金属質感＋着色
(塗装代替によるVOC削減)

Al電析技術は蒸着より厚膜化可能(3-100 μ m), 基材形状の自由度が高い

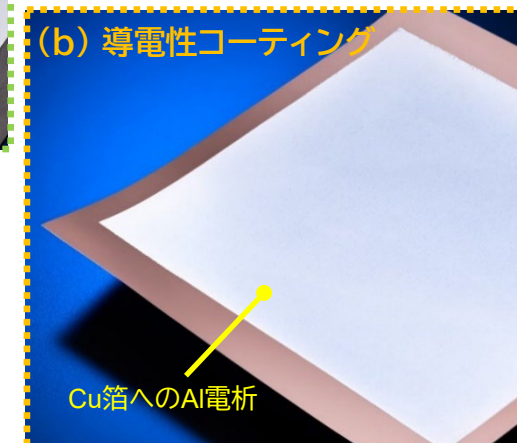


	溶融めっき	蒸着	電析
断面像	合金層形成 Al Al-Fe合金 Fe 30μm	粗雑 Al Fe 30μm	緻密・均一, 高純度 Al Fe 30μm
※いずれも40 μ m厚狙いで作製			
純度	$\div$ 93.0%	> 99.0%	> 99.0% (C, S, Clを微量含有)
温度	600-750 $^{\circ}$ C	> 25 $^{\circ}$ C	80-120 $^{\circ}$ C
速度	最も速い	遅い	速い

意匠性・導電性・耐食性等のコーティング用途にご活用いただけます



- ✓ 塗装代替によるVOC削減
- ✓ 金属質感(高級感)付与
- ✓ 任意のカラーリング



- ✓ 高強度+高導電率の機能箔
- ✓ 樹脂への導電性付与



その他機能性コーティング(例)

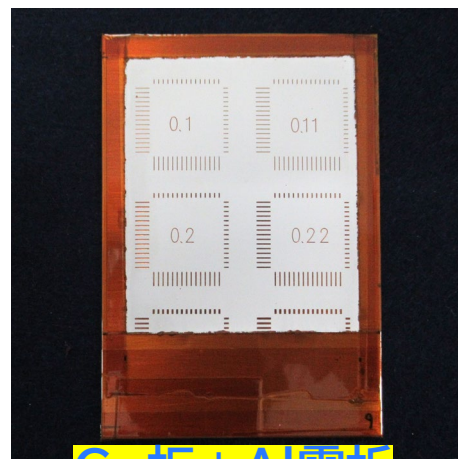
- ✓ 表面粗化コーティング($Ra \approx 0.1-0.5\mu m$)
- ✓ 高反射コーティング(研磨工程後)

- ✓ Mg等の防食+軽量化
- ✓ 特殊環境使用の防食

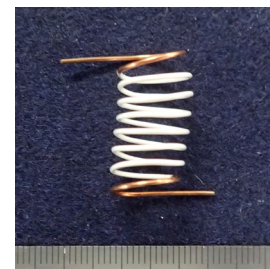
技術導入をご検討頂くための試作を承っております



Alダイカスト基板
+ Al電析 + アルマイト



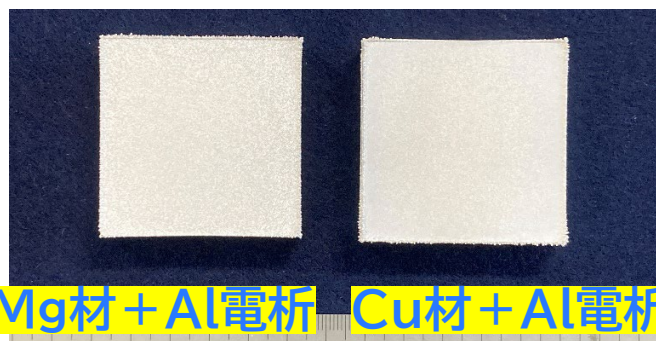
Cu板 + Al電析
+ エッチング加工



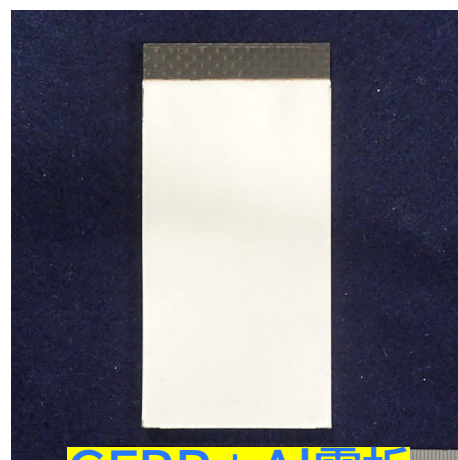
Cuワイヤ + Al電析



Cu箔 + Al電析



Mg材 + Al電析 (比重1.74) Cu材 + Al電析 (比重8.93)



CFRP + Al電析

✓ Al電析試作の基本仕様(詳細はお問合せください)

基材	金属：Fe, Cu, Al, Mg, ...	etc.
	樹脂：PET, PI, CFRP, ...	
膜厚	3-100 μm	
形状	単純：◎(板, 箔)	
	複雑：要相談	
寸法	100 × 100 mm 程度 (目安)	

PROTERIAL

A horizontal bar spanning the width of the page, featuring a central red segment flanked by light gray segments.